

LVPECL、LVDS、CML および  
HCSL クロック受信側インターフェースを駆動する  
SiT9120/9121/9122 および SiT3821/3822 の出力終端

## 目次

1	はじめに.....	2
2	LVPECL 出力 .....	2
2.1	DC 結合アプリケーションにおける終端の長所 .....	2
2.2	AC 結合アプリケーションにおける終端の長所 .....	5
3	LVDS 出力.....	6
3.1	DC 結合アプリケーションにおける終端の長所 .....	7
3.2	AC 結合アプリケーションにおける終端の長所 .....	8
4	SiT912x および SiT382x 発振器による HCSL クロックインターフェースの駆動 .....	9
5	SiT912x および SiT382x 発振器による CML クロックインターフェースの駆動 .....	9
6	自己バイアス差動入力の駆動 .....	10
7	LVPECL ドライバによる LVDS 受信側の駆動 .....	11
8	LVDS/LVPECL 入力への LVCMOS 発振器の接続 .....	12
9	結論 .....	14
10	参考資料 .....	15
付録 A:	伝送路終端のインピーダンス整合 .....	16
A.1	Load Termination .....	16
A.2	Source Termination .....	17
A.3	Double Termination .....	17

## 1 はじめに

差動発振器は、高性能アプリケーションに使用されており、電源ノイズに対する高い耐性を持っています。本アプリケーションノートでは、LVPECL または LVDS 出力ドライバのいずれかを有する SiTime の差動出力発振器 SiT9120/1/2 および差動出力電圧制御発振器 (VCXO) SiT3821/2 における終端の推奨設定について説明しています。また、第 4 項および第 5 項において LVPECL 出力のある SiT9120/1/2 または SiT3821/2 発振器を用いた CML または HCSL クロック入力駆動用のインターフェースについても述べます。

SiT912x および SiT382x 発振器の通常の出立ち上がりおよび立ち下がり時間は、320~600pF の範囲内であり、これは PCB 上での短いトレースでさえもインピーダンス整合を必要とする分布定数伝送路のような挙動を生じさせます。したがって、インピーダンスが制御された等長線路として伝送路を設計する必要があります。また、信号品質が最高となり EMI が最低となるように適切に終端処理する必要があります。インピーダンス整合に加え、終端網も受信側の DC バイアスおよび AC 電圧振幅に影響を与えます。

## 2 LVPECL 出力

SiT9121x および SiT382x 発振器で使用される低インピーダンス LVPECL ドライバ構造を図 1 に示します。ドライバの出力部は、共通ソース構成における 1 組の NMOS トランジスタから成ります。ドライバインピーダンスは通常約 10Ω です。

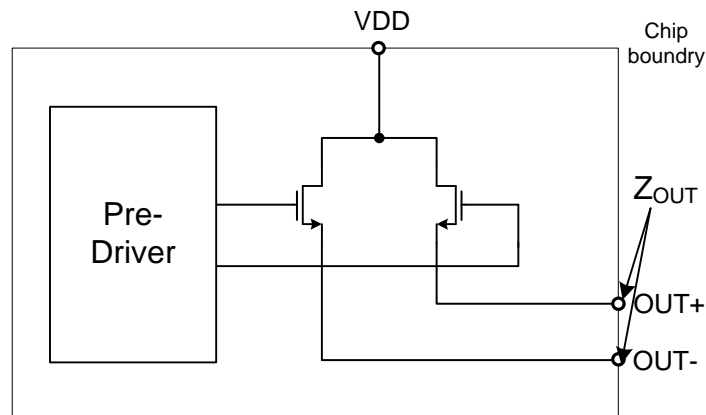


Figure 1: SiT912x and SiT382x LVPECL driver output structure

### 2.1 DC 結合アプリケーションにおける終端の長所

図 2 に示すように、LVPECL は通常負荷側で終端処理されます。出力は、50Ω の終端抵抗である終端電圧 ( $V_T$ ) に接続する事で、伝送線とインピーダンスを整合させます (負荷終端分析については、付録 A を参照)。典型的な終端の LVPECL 出力のシングルエンド波形を図 3(a) に示します。典型的な電圧出力高 ( $VOH$ ) 信号レベルおよび電圧出力低 ( $VOL$ ) 信号レベルは、それぞれ  $VDD-0.9V$  および  $VDD-1.7V$  です。データシートで定めている  $VOH$  および  $VOL$  範囲は、部位による出力ドライバ変動および外部負荷条件を考慮に入れています。

正負出力間の差動波形の電圧振幅 ( $V_{Diff}=V_{OUT+}-V_{OUT-}$ ) は、シングルエンド型信号電圧振幅の 2 倍です。通常の LVPECL 差動振幅は 1.6V です。差動波形に対する 20~80%の立ち上がりおよび立ち下がり時間の定義を図 3(b)に示します。

$V_{OH}$ 、 $V_{OL}$  および電圧振幅は終端に依存し、非デフォルト終端を使用している場合は異なる場合があること留意してください。

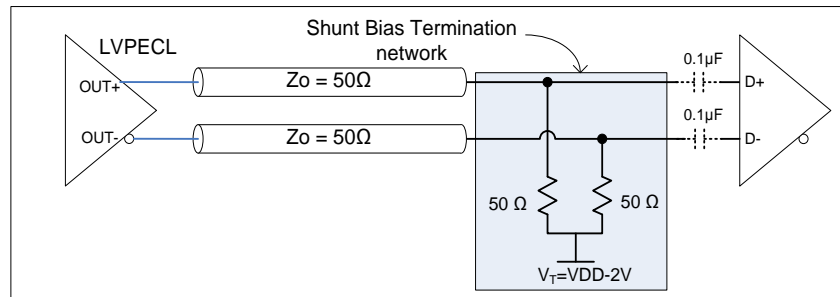


Figure 2: LVPECL with DC-coupled parallel shunt load termination

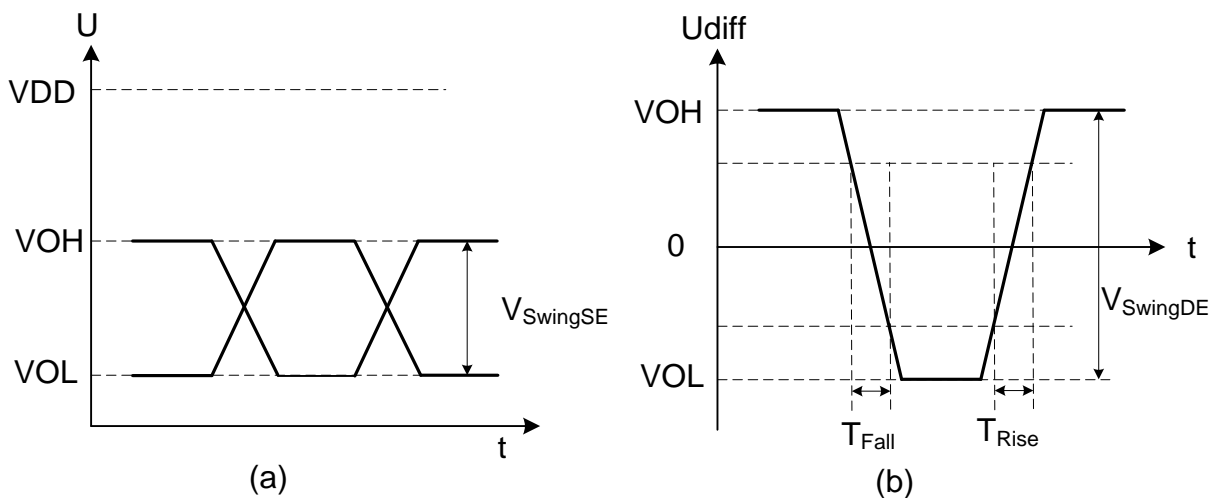


Figure 3: LVPECL logic levels at typical termination

LVPECL 受信側に内蔵終端が無い場合、信号品質問題をもたらす恐れのある非終端スタブを低減させるために、50Ω の外部終端抵抗を可能な限り受信側の近くに置く必要があります。伝送路は負荷側でのみ終端処理する必要があります。

個別の終端電圧を容易に利用できないアプリケーションでは、50Ω の伝送路を終端処理するために、テブナン等価回路網を形成するプルアップおよびプルダウン抵抗を使用できます (図 4 参照)。この終端方法では、受信側入力における終端電圧を  $V_{DD}-2V$  にすると共に終端抵抗を 50Ω と等価なものにすることができます。3.3V と 2.5V の供給電圧では抵抗値が異なることに留意してください。

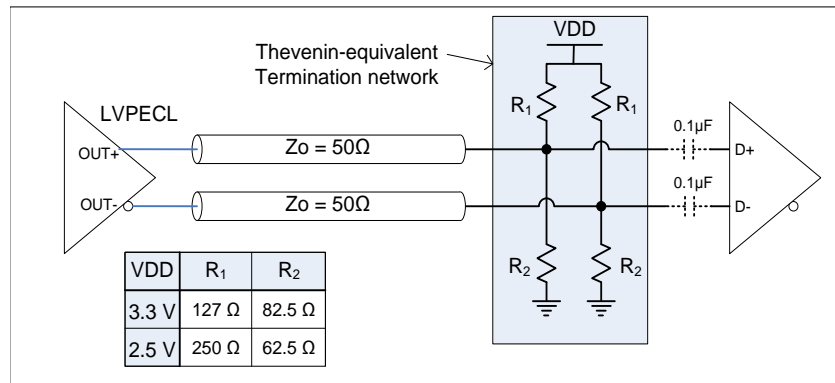


Figure 4: LVPECL DC-coupled load termination with Thevenin equivalent network

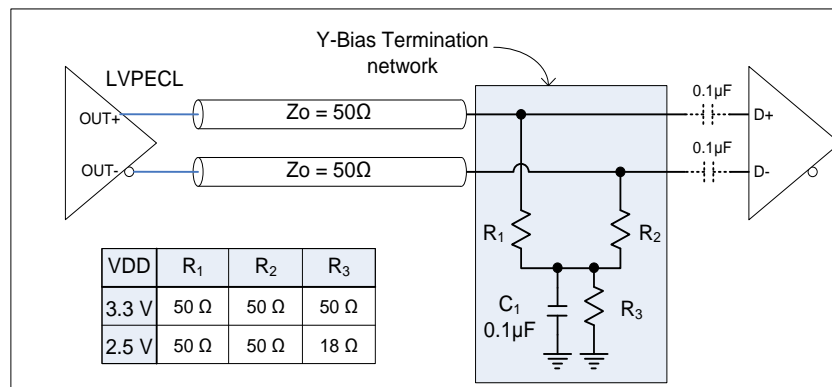


Figure 5: LVPECL with Y-Bias termination

ほとんどの場合、テブナン終端はうまく機能しますが、各差動伝送ライン間または各終端抵抗回路間に大きな不整合がある場合、もしくは受信側がコモンモードノイズに敏感過ぎる場合、電源ノイズに対して敏感になることがあります。VDD との接続や追加終端電圧源へのアクセスのいずれも必要とせず VDD-2V の有効終端電圧を供給する Y 型バイアス終端回路を図 5 に示します。終端電圧は R3 を通過する差動電流の合計により生じ、静電容量 C1 は、終端電圧を AC 接地させる為に使用されます。

## 2.2 AC 結合アプリケーションにおける終端の長所

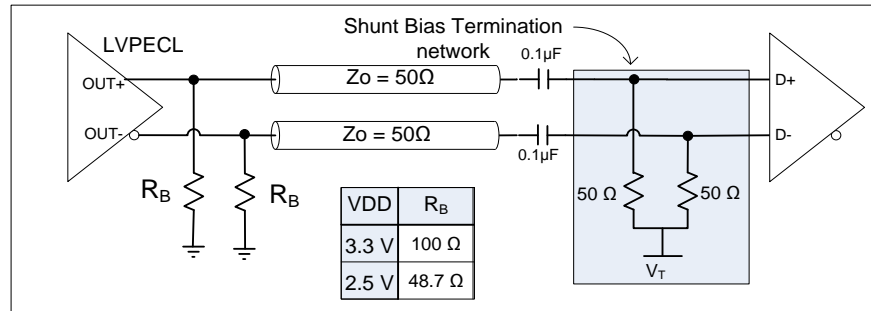


Figure 6: LVPECL with AC-coupled termination

LVPECL 受信側は、DC または AC 結合のいずれかになることがあります。受信側と発振器側の DC バイアス電圧が異なる場合、AC 結合コンデンサが必要です。図 6 に示すように、場合によっては、終端網を AC 結合にしなければなりません。適切な LVPECL ドライバ動作のためには、出力トランジスタの完全にオフにできません。したがって、AC 結合コンデンサの前段にバイアス抵抗  $R_B$  を配置し、ドライバ用 DC 電流路を確保する必要があります。Low 出力状態の時のドライバピンを通る最小電流が 3mA 以上になり、且ドライバを通る最大 DC 電流が 30mA を超えないように、 $R_B$  値を選択します。式 1 を用いて  $R_B$  を決定してください。

$$\frac{V_{OL} + V_{OH}}{2 \cdot 30\text{mA}} \leq R_B \leq \frac{V_{OL}}{3\text{mA} + \frac{U_{SWSE}}{2R_{Term}}} \quad \text{式 1}$$

式 1 において、 $U_{SWSE}$  はシングルエンド電圧振幅、 $R_{Term}$  は終端抵抗です。SiTime は、3.3V および 2.5V の供給電圧に対してそれぞれ 100Ω および 48.7Ω の  $R_B$  値を使用することを推奨します。

LVPECL 並列負荷終端において最高の信号品質を確立するには、次の推奨に従う必要があります。

1. 受信側から 0.1~0.2 インチ以内に終端を置いてください。終端を受信側から離れた位置に配置するとスタブが見え、受信側入力における信号品質を低下させる可能性があります。
2. 受信側入力における容量性負荷を最小にしてください。速い信号エッジが受信側に到達した場合、高い容量性負荷は終端インピーダンスを低下させ、大きな負荷反射係数をもたらします。この反射は、信号源で反射された後に若干減衰して負荷に戻ります。経験則では、 $3T_r / (\pi \cdot C_L) < 50\Omega$  未満の場合（この時、 $T_r$  は 20~80% の立ち上がり時間、 $C_L$  は負荷容量）、終端の不整合が著しくなります。6.8pF の寄生入力容量が LVPECL 波形の立ち上がりエッジへ影響している例を図 7 示しています。

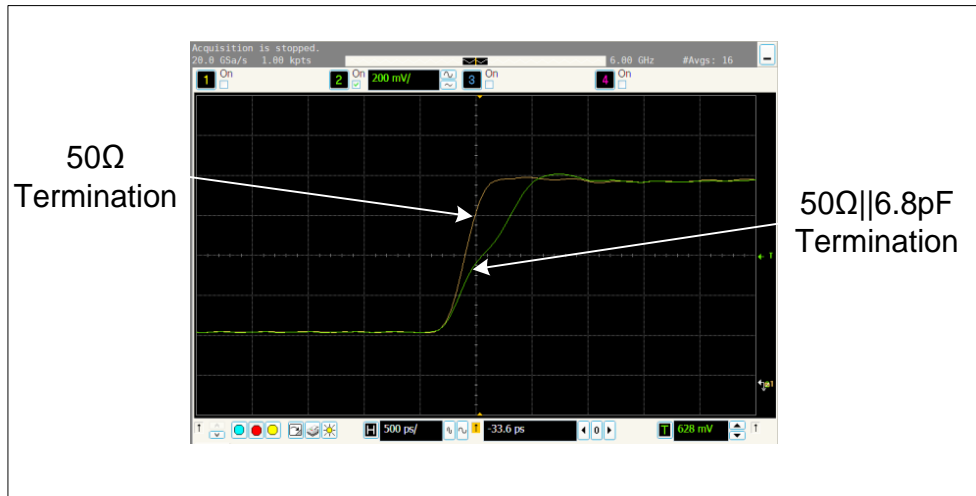


Figure 7: Influence of parasitic capacitance on SiT912x waveform

### 3 LVDS 出力

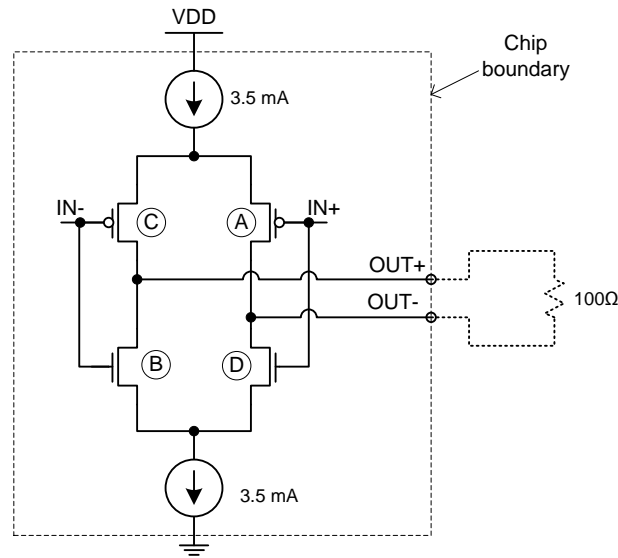


Figure 8: LVDS driver output structure

LVDS<sup>[1]</sup>は、低消費電力および高ノイズ耐性を必要とする多くのアプリケーションに適した高速デジタルインターフェースです。LVDSは、高速でデータを送信するために低電圧振幅の差分信号を使用します。スイッチ網（「H」スイッチとも呼ばれる）を経由して差動出力に接続された3.5mAのスイッチ電流源から成るLVDSドライバの出力構造を図8に示します。出力は、100Ωの差動伝送ラインに接続され100Ωの抵抗で終端されます。ドライバには、VDDにかかわらず、公称共通モード電圧を1.2Vに設定する電気回路があります。したがって、ドライバが特定電圧になるように外部からバイアスをかける必要はありません。また、実際の発振器の供給電圧を気にせず、いかなるLVDS入力にもLVDS出力を接続することができます。

信号切替は、それぞれ A、B、C および D と表示された 4 つのトランジスタで行われます。受信側のインピーダンスが通常高いため、ドライバからのほとんどすべての電流が  $100\Omega$  の抵抗を通じて流れ、受信側の入力間に  $350\text{mV}$  の電圧差が生じます。図 8 では、LVDS の入力信号 IN が Low の場合、トランジスタ A と B がオンになり、電流がトランジスタ A と  $100\Omega$  の抵抗を通じて流れ、トランジスタ B を通じて戻り、受信側に  $+350\text{mV}$  の電圧をもたらします。入力信号 IN が High の場合、トランジスタ C および D がオンになり、電流がトランジスタ C と  $100\Omega$  の抵抗を通じて流れ、トランジスタ D を通じて戻り、受信側に  $-350\text{mV}$  の電圧をもたらします。

受信側の終端抵抗に流れる電流の方向は、入力論理が High なのか Low なのかによって決まります。正の差動電圧は論理 High レベルを表し、負の差動電圧は論理 Low レベルを表します。

### 3.1 DC 結合アプリケーションにおける終端の長所

$100\Omega$  の差動トレースのある LVDS インターフェースは、受信側の差動入力の  $100\Omega$  の抵抗によって通常受信側端において終端処理されます (図 9 参照)。受信側によっては  $100\Omega$  の抵抗がチップに組み込まれており、外部終端の必要性をなくしています。

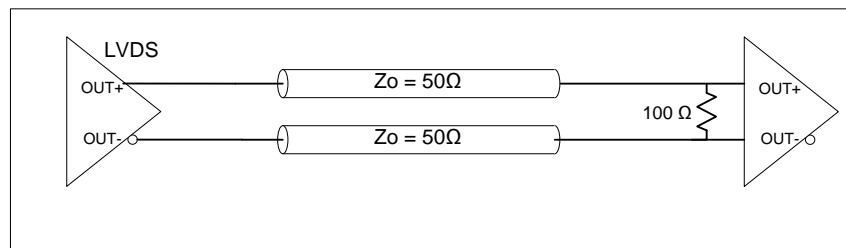


Figure 9: LVDS single DC termination at the load

ほとんどのアプリケーションは、負荷における単一終端で十分です。負荷反射係数が比較的高い場合、二重終端にする事で往復反射を低減できる可能性があります (図 10 参照)。 $100\Omega$  の抵抗が信号源と負荷の両方にある場合、出力ドライバにおける等価抵抗は  $50\Omega$  まで減少し、出力信号振幅が半減します。単一および二重終端のアプリケーションに関する詳しい情報については、附属書 A に記載されています。

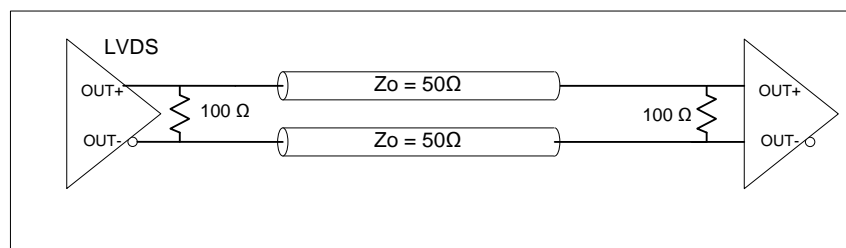


Figure 10: LVDS double DC termination

### 3.2 AC 結合アプリケーションにおける終端の長所

受信側が LVDS ドライバと異なるコモンモード電圧で動作している場合、AC 終端を適用します。コンデンサはドライバからの DC 電流路をブロックするのに使用されるので、受信側はそれ自体の入力バイアス回路を実装しなければなりません。AC 結合は、負荷における単一終端として、または二重終端として構成できます。単一および二重終端の両方とも、負荷終端抵抗の前（図 12）または後（図 13）に AC 結合コンデンサを置くことができます。

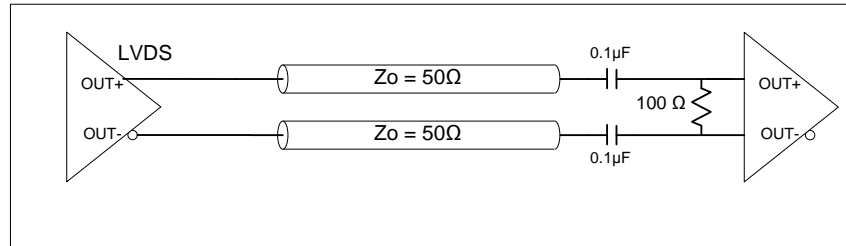


Figure 11: LVDS single AC termination at the load

図 12、図 13 に示す二重終端は、AC 結合コンデンサの位置のみ異なっています。図 12 のコンデンサは、 $50\Omega$  と等価の差動抵抗の半分を通じて流れるコモンモード電流によって充電されます。図 13 のコンデンサは、数千キロオームになることがある受信側の入力の抵抗を通じて流れる電流によって充電されます。クロック起動中は、図 12 に示すコンデンサが図 13 に示すものよりはるかに速く充電されます。したがって、受信側において有効なクロック信号がより早く利用できます。速いクロック起動が重要な場合、図 12 に示す構成の方が望ましいです。

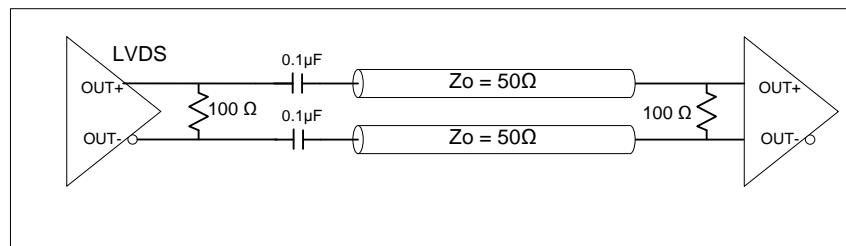


Figure 12: LVDS double AC termination with capacitor close to the source

データ伝送アプリケーションでは、図 13 に示す構成がより有利な可能性があります。RC 時定数がより高いため、深刻な電圧ドループを経験せずに、1 と 0 のデータ列をより長く維持できます。



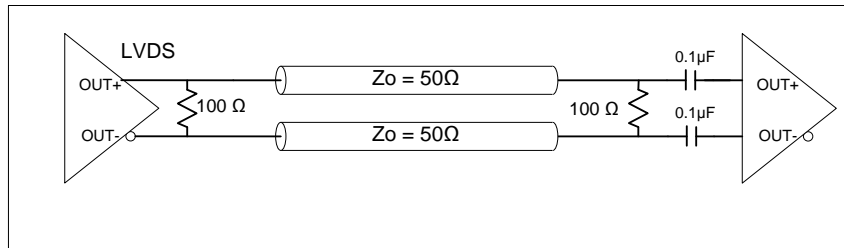


Figure 13: LVDS double AC termination with capacitor close to the load

#### 4 SiT912x および SiT382x 発振器による HCSL クロックインターフェースの駆動

通常の HCSL インターフェースは、電流モードドライバを利用し、ソースにおいて 50Ω 接地終端する構成となります。SiT912x および SiT380x 発振器には HCSL 出力ドライバ振幅変更オプションがありませんが、2 点間接続であれば LVPECL ドライバを用いて HCSL 入力を駆動することができます。SiT912x または SiT380x 発振器からの LVPECL 出力によって HCSL 受信側を駆動する場合に推奨される終端の配線略図を図 14 に示します。

HCSL 受信側が必要とする 750mV の VOH レベルおよび 0V の VOL レベルを満たすために、ソース電圧と負荷バイアス電圧を切り離す AC 結合コンデンサを備えています。また、負荷側のテブナン等価終端は、受信側入力の適切な共通モード電圧を設定します。抵抗器  $R_B$  は、LVPECL ドライバの適切な DC バイアスを供給します。2.5V および 3.3V 動作電圧に推奨される終端網成分値を図 14 に示します。

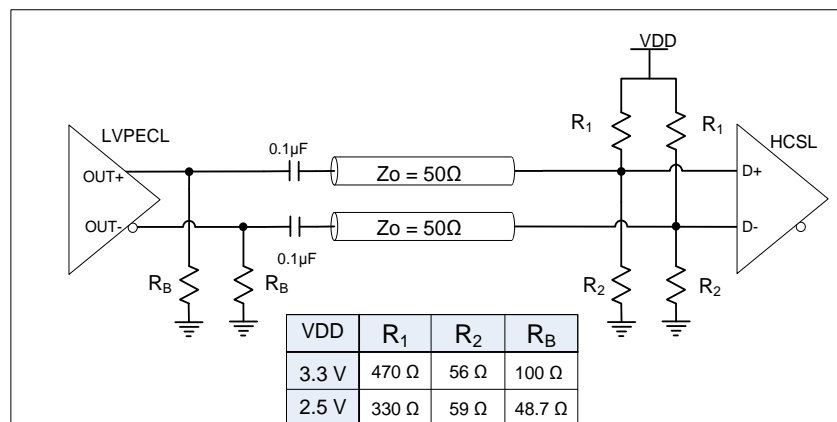


Figure 14: LVPECL to HCSL interface

#### 5 SiT912x および SiT382x 発振器による CML クロックインターフェースの駆動

SiT912x および SiT380x 系発振器には CML 出力オプションがありませんが、LVPECL ドライバを用いて CML 受信側を駆動することが可能です。この場合、終端回路図は、受信側入力において 400mV のシングルエンド電圧振幅、および VDD-200mV の共通モード電圧<sup>[2]</sup>を確保しなければなりません。SiT912x または SiT380x 発振器からの LVPECL 出力によって CML 受信側を駆動するのに推奨される終端の配線略図を図 15 に示します。

LVPECL と CML の共通モード電圧が大きく異なるため、DC 分離用の AC 結合コンデンサが必要です。抵抗器  $R_B$  は、LVPECL ドライバに適切なバイアスをかけるために使用されます。信装置側のテブナン等価終端は、適切なバイアス電圧を設定し、抵抗  $R_S$  を伴って適切な信号振幅を確保します。

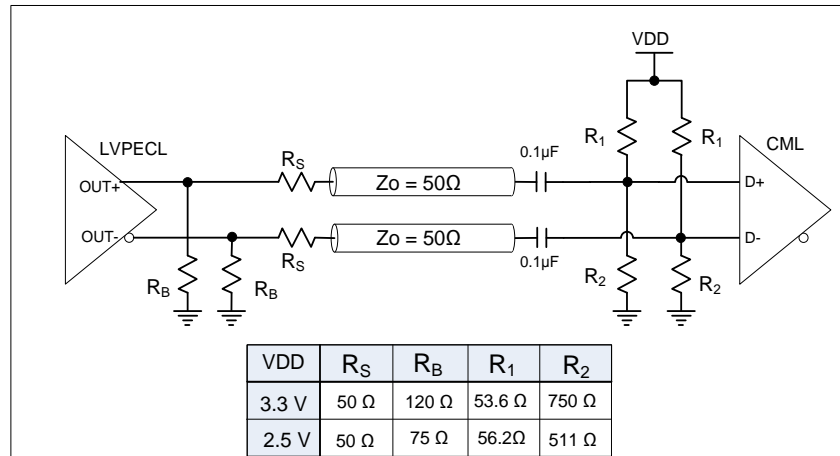


Figure 15: LVPECL to CML interface

## 6 自己バイアス差動入力の駆動

多くの差動受信側には、オンチップ DC バイアス回路および（または）終端網があります。この場合、発振器出力は AC 結合である必要があります。外部バイアスが必要な場合、受信側のデータシートにしたがって設計する必要があります。LVDS/LVPECL 発振器は、自己バイアス差動入力回路の駆動に使用できます。700mV の LVDS 差動振幅が受信側に十分であれば、LVDS 発振器を使用することが望ましいです。自己バイアス差動受信側と LVDS 発振器の接続を図 16 に示します。

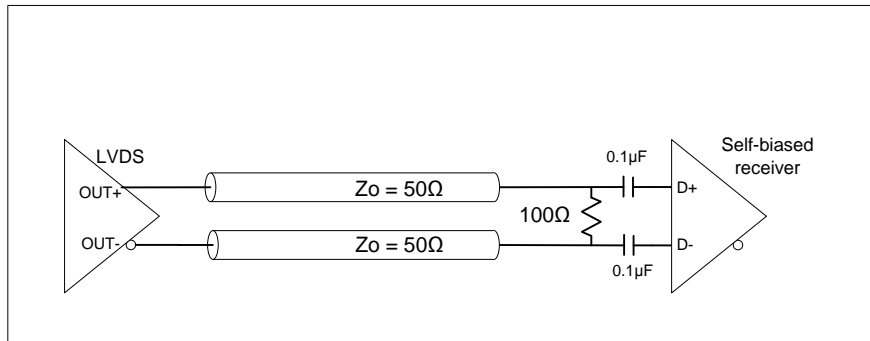


Figure 16: Connection of an LVDS driver to self-biased differential receiver with internal termination and bias

LVPECL 出力は、受信側において最大 1.6V までの差動振幅を生み出します。LVPECL 発振器を自己バイアス差動受信側に接続する配線略図を図 17 に示します。抵抗  $R_S$  は、負荷側の終端によって分圧器を生み出します。受信側入力の電圧振幅は、 $R_S$  値を選択することによって設定することができます。 $R_B$  は DC バイアス電流を LVPECL ドライバに供給し、その値は式 1 から計算できます。受信側では  $R_S+50\Omega$  の有効終端抵抗値になることに留意してください。

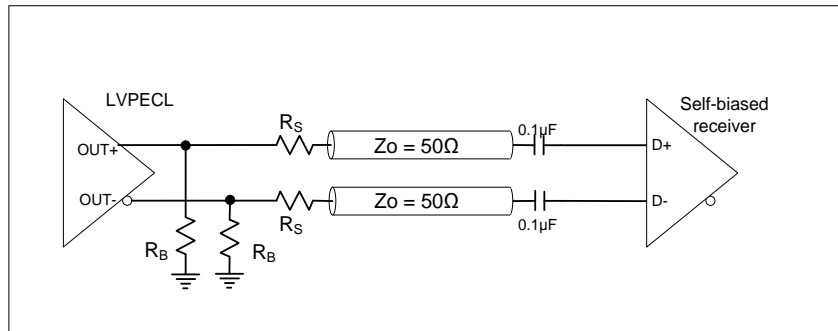


Figure 17: Connection of an LVPECL driver to a self-biased differential receiver with internal termination and bias

信号品位を維持するには、 $R_S$ および $R_B$ を可能な限り発振器に近づけて伝送路の前に置く必要があります。負荷側終端網は、可能な限り受信側入力の近くに置く必要があります。

## 7 LVPECL ドライバによる LVDS 受信側の駆動

LVPECL クロック信号によって LVDS 受信側を駆動する事が可能です。この為には、必要な LVDS 受信側入力振幅の要求を満たすような終端回路を構成しなければなりません。信号コモンモード電圧および信号振幅は、満たさなければならない主要な仕様です。LVDS 仕様を満たすには、LVPECL 信号振幅を 1.6V から 0.75V に低下させなければなりません。LVPECL ドライバのコモンモード電圧は供給電圧に依存しており、2.5V VDD については、LVDS コモンモード電圧と整合します。2.5V の LVPECL ドライバによって LVDS 受信側のクロッキングが可能となる終端を図 18 に示します。

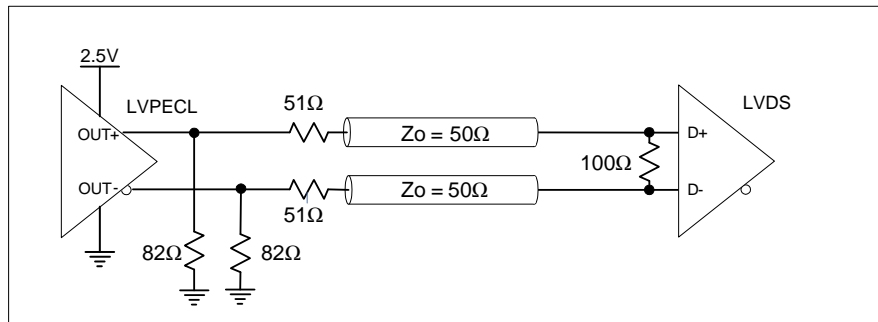


Figure 18: Interfacing a SiT912X LVPECL driver with a 2.5V VDD to an LVDS receiver

3.3V VDD の場合、LVPECL ドライバと LVDS 受信側のコモンモード電圧は異なります。図 19 では、LVPECL ドライバと LVDS 受信側を接続するのに直列抵抗および Y 型終端を使用することを提案しています。

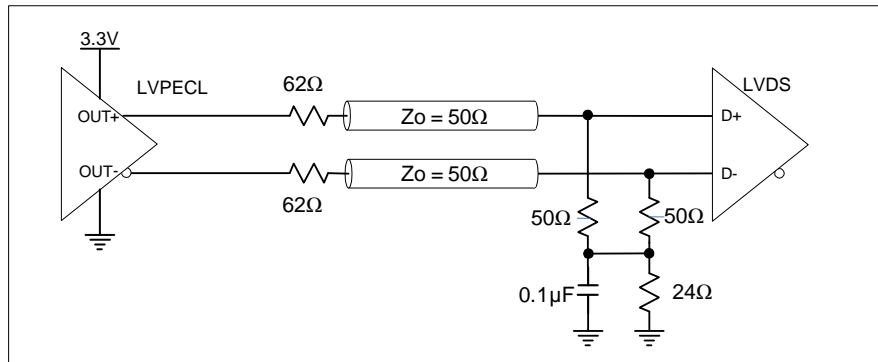


Figure 19: Interfacing an SiT912X LVPECL driver with a 3.3V VDD to an LVDS receiver

受信側にオンチップ終端がある場合、図 20 に示すように AC 結合を使用します。共通モードは抵抗分割した電圧に設定されます。等価抵抗が大きすぎて正負入力間でミスバランスが生じないため、一方の入力にのみバイアスを供給しています。

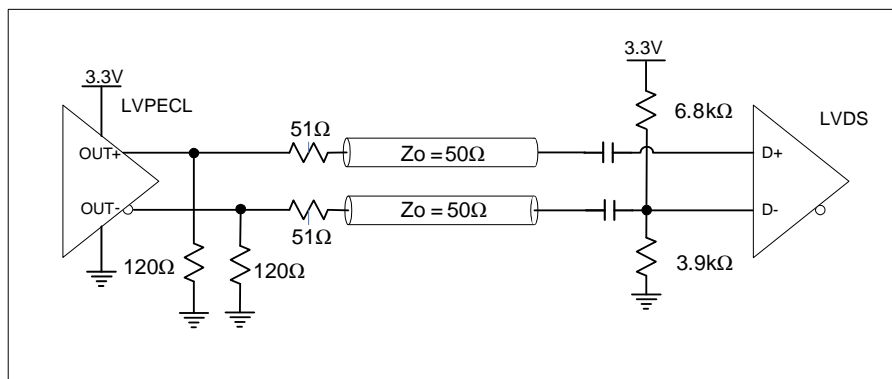


Figure 20: Interfacing an SiT912X LVPECL driver with 3.3V VDD to a LVDS receiver with internal termination

## 8 LVDS/LVPECL 入力への LVCMOS 発振器の接続

場合によっては、シングルエンド型出力ソースによって差動 LVDS または LVPECL 受信側をクロッキングする必要があります。AC 信号を差動入力ピンの 1 つと接続し、もう一方のピンに DC 閾値電圧を印加することにより、LVCMOS 出力を LVDS または LVPECL 受信側と接続することができます。

差動振幅要件を満たすには、受信側のシングルエンド型クロックの振幅が LVDS または LVPECL インターフェースの差動振幅よりも 2 倍高くなければなりません。受信側データシートを参照して、入力電圧が許容範囲内であることを確認してください。シングルエンド型発振器による LVDS/LVPECL 入力の駆動は、差動発振器と比べて消費電力がかなり少ないですが、ノイズ耐性を低下させます。

シングルエンド型出力と差動受信側の接続には次の条件が必要です。

1. 入力における共通モード電圧は、すべての VDD の LVDS に対して 1.2V、2.5V VDD の LVPECL に対して 1.2V、3.3V VDD の LVPECL に対して 2V 必要です。

2. 入力全体の電圧振幅は、LVDS に対して 700~800mV、LVPECL に対して 1.2~2V 必要です。
3. 終端回路の入カインピーダンスは、信号品質を維持するためにトレースインピーダンスと整合しなければなりません。通常のトレースインピーダンスは 50Ω です。

2.5V VDD においてシングルエンド型出力と電圧 LVDS および LVPECL を接続する推奨スキーマティックを図 21 に示します。コモンモード電圧は、出力ドライバインピーダンスおよび抵抗 R1 と R3 が生み出した分圧器によって設定されます。コンデンサ C1 は負入力から接地までの AC 信号経路を供給します。正入力における信号振幅は、R1 と直列の出力ドライバ抵抗および R3 と並列の R2 から成る分圧器によって設定されます。

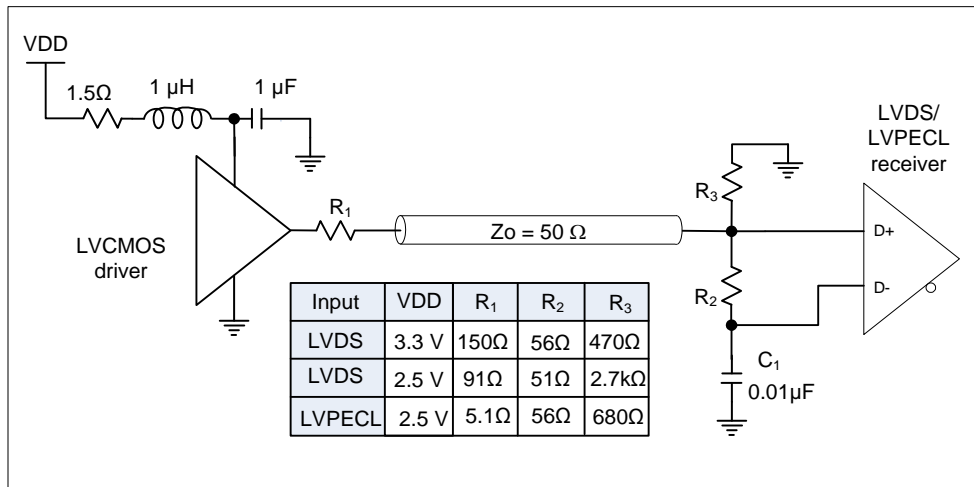


Figure 21: Interfacing an LVC MOS driver to a 2.5V/3.3V LVDS or 2.5V LVPECL receiver

3.3V VDD で LVC MOS と LVPECL を接続する配線略図を図 22 に示します。受信側のコモンモード電圧は、27Ω の抵抗と直列の出力ドライバインピーダンスおよび VDD に対する 200Ω のプルアップ抵抗によって生み出される分圧器によって設定されます。

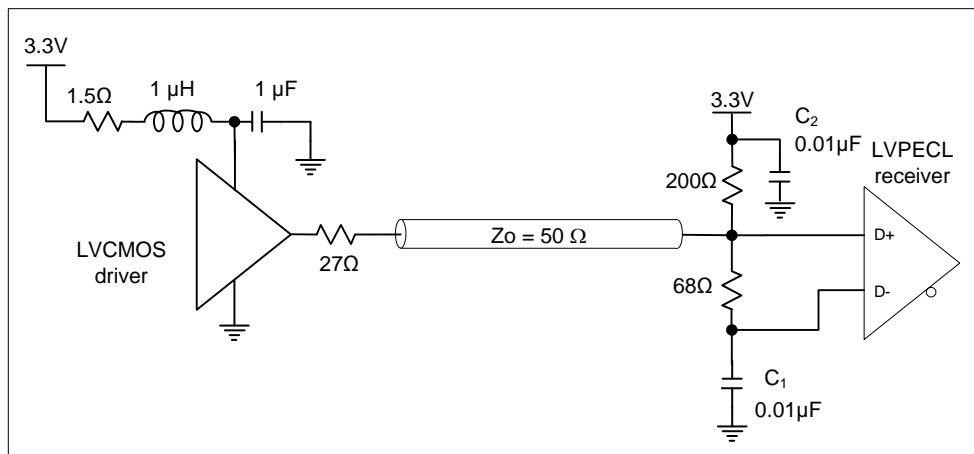


Figure 22: Interfacing LVC MOS driver to a LVPECL receiver at 3.3V VDD

図 21 および図 22 の推奨成分値は、25 Ω の LVCMOS ドライバインピーダンスに基づいて計算されます。この値は、LVCMOS 発振器の SiT8008 系統の通常のドライバインピーダンスに相当します。

LVCMOS 発振器には、図 21 および図 22 の電源網に RLC フィルタがあります。SiTime は、電源ノイズ除去を著しく向上させるこの RLC フィルタを使用することを推奨します。シングルエンド型クロックによって駆動する場合の 3.3V LVPECL 受信側の入力波形の例を図 23 に示します

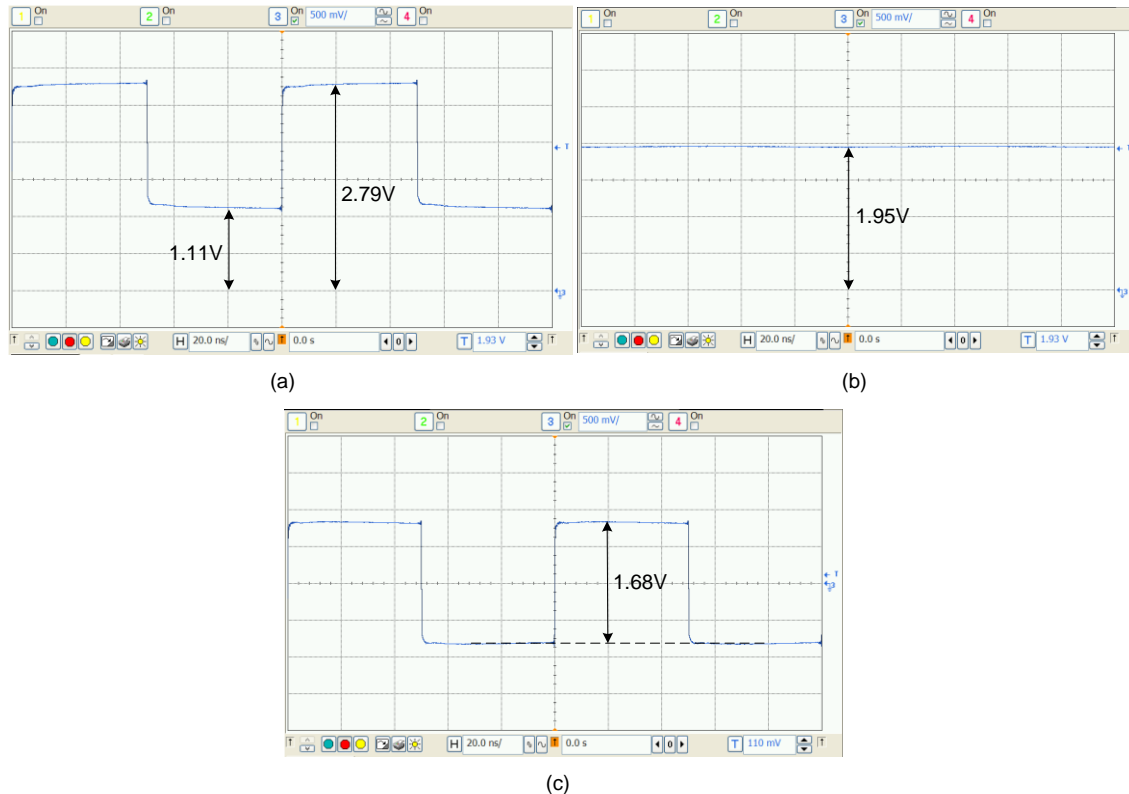


Figure 23: Waveforms at positive (a), negative (b) inputs of 3.3V VDD LVPECL receiver and resulting differential waveform (c).

## 9 結論

本アプリケーションノートは、SiT9120、SiT9121、SiT9122、SiT3821 および SiT3822 の差動出力ドライバ構造ならびに LVPECL および LVDS 差動出力において最も一般的に使用される AC 結合および DC 結合終端方式を提示しています。SiT912x/SiT382x 発振器と HCSL/CML 受信側の接続に推奨されるオプションについて述べています。また、シングルエンド型 LVCMOS 発振器を用いて LVDS または LVPECL クロック受信側を駆動する終端方式も提示しています。豊富な出力タイプの品揃えにより、ユーザーはその要件に最適な出力信号を選択できます。

## 10 參考資料

- [1] Telecommunications Industry Association, “*Electrical Characteristics of low voltage differential signaling (LVDS) interface circuits*”, TIA/EIA-644-A standard specifications, February 2001.
- [2] Tom Granberg, “*Handbook of Digital Techniques for High-Speed Design*”, Upper Saddle River, NJ: Prentice Hall PTR, 2004.

## 付録 A: 伝送路終端のインピーダンス整合

線路の電氣的長さが信号の立ち上がり時間（20～80%）の半分を超える場合、プリント基板（PCB）やケーブルのいかなるトレースも、伝送線路として扱われます。適切な終端は、信号品位を最適にするための重要な要素です。本附属書では信号源、負荷および二重終端戦略について述べます。

### A.1 Load Termination

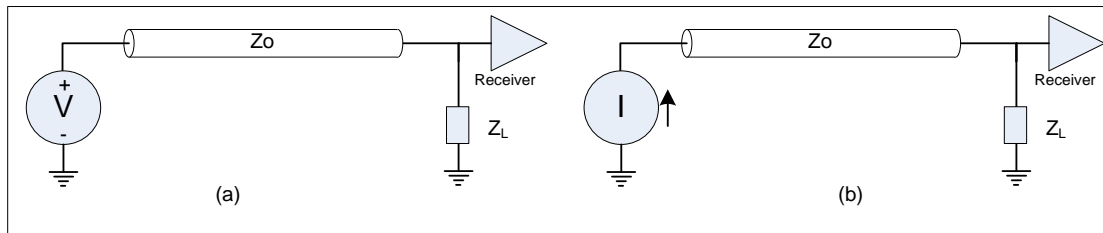


Figure 24: Transmission line parallel load termination

図 24 は、 $Z_L$  の並列負荷インピーダンスにより終端処理され、電圧または電流信号で駆動する伝送路を示しています。信号が伝送路の反対側で一旦負荷に達すると、そのエネルギーの一部が負荷によって吸収され、残りは信号源に反射します。反射信号と入射信号の比率は反射係数と呼ばれ、次式で計算されます。

$$\Gamma_L = \frac{Z_L - Z_o}{Z_L + Z_o} \quad \text{式 2}$$

負荷がトレースと同一のインピーダンスで終端処理される場合（即ち  $Z_L = Z_o$ ）、 $\Gamma_L = 0$  となり、反射信号がないことを意味します。負荷インピーダンスがトレースのインピーダンスと整合しない場合、わずかな信号が信号源に反射します。わずかな反射信号は、一旦信号源に到達し、信号源反射係数によっては再度負荷に跳ね返ることがあり、次式で計算されます。

$$\Gamma_S = \frac{Z_S - Z_o}{Z_S + Z_o} \quad \text{式 3}$$

負荷において見られる反射全体は、次式で計算されるように、往復反射係数  $\Gamma_{RT}$  を用いて計算できる伝送路を通じた往復反射の結果です。

$$\Gamma_{RT} = \Gamma_S \cdot \Gamma_L \quad \text{式 4}$$

$\Gamma_{RT}$  の値が大きい場合、タイミングマージンが減少したり、過度のリングングが生じたり、受信側入力に余分なトリガーエッジが生じたりすることがあります。したがって、往復反射は、受信端における信



号品質を最適にするために最小限にする必要があります。図 24(a)の理想電圧ドライバは  $Z_s=0$  で  $\Gamma_s=-1$  となります。図 24(b)の理想電流ドライバは  $Z_s=\infty$  で  $\Gamma_s=+1$  となります。いずれの場合も、信号源に到達する反射信号のすべてのエネルギーが再度負荷に反射します。したがって、インピーダンスをよく整合させることが反射信号の低減に最も効果的です。

### A.2 Source Termination

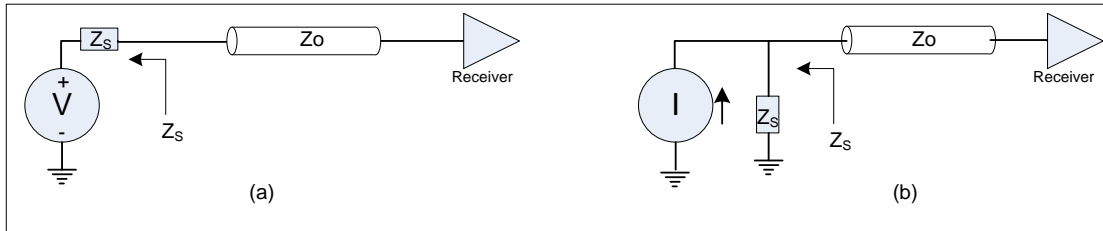


Figure 25: Transmission line source termination

アプリケーションによっては、負荷において伝送路を適切に終端処理することが難しい場合があります。これは、負荷における制御できていないインピーダンスや伝送路末端における受信側の回路近くに終端器を置くことができないことが考えられます。そのような場合、図 25(a)および(b)に示すソース側終端を使用します。受信側には、負荷反射係数  $1 (\Gamma_L = +1)$  をもたらす高インピーダンスがあると推測されます。負荷端で反射された信号は、 $Z_s$  が  $Z_0$  と整合する場合に多くのエネルギーが信号源インピーダンスによって吸収され、少量だけが負荷に反射します。往復反射係数は  $\Gamma_{RT} = \Gamma_s$  となります。

### A.3 Double Termination

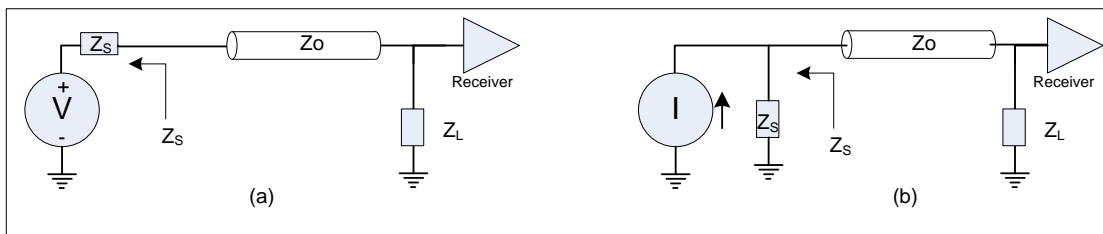


Figure 26: Double termination technique

アプリケーションによっては、負荷や信号源反射係数を許容可能な程度の小さい値まで減少させることが難しい場合があります（例：過度の寄生容量やインダクタンスのため）。

伝送路の両端で終端処理することは、往復反射を低減させ、信号品位を向上させる効果的な方法です。電圧および電流ドライバの二重終端を図 26 に示します。例えば、 $\Gamma_L = \Gamma_s = 1.0$  であれば、 $\Gamma_{RT} = 0.01$  です（即ち、信号の 1%のみが負荷に反射します）。二重終端の 1 つの欠点は、負荷に達する信号の振幅が単一終端方式における信号振幅の半分になるということです。

---

SiTime Corporation  
990AlmanorAvenue  
Sunnyvale, CA 94085  
USA  
Phone: 408-328-4400  
<http://www.sitime.com>

© SiTime Corporation, 2008-2013. The information contained herein is subject to change at any time without notice. SiTime assumes no responsibility or liability for any loss, damage or defect of a Product which is caused in whole or in part by (i) use of any circuitry other than circuitry embodied in a SiTime product, (ii) misuse or abuse including static discharge, neglect or accident, (iii) unauthorized modification or repairs which have been soldered or altered during assembly and are not capable of being tested by SiTime under its normal test conditions, or (iv) improper installation, storage, handling, warehousing or transportation, or (v) being subjected to unusual physical, thermal, or electrical stress

**Disclaimer:** SiTime makes no warranty of any kind, express or implied, with regard to this material, and specifically disclaims any and all express or implied warranties, either in fact or by operation of law, statutory or otherwise, including the implied warranties of merchantability and fitness for use or a particular purpose, and any implied warranty arising from course of dealing or usage of trade, as well as any common-law duties relating to accuracy or lack of negligence, with respect to this material, any SiTime product and any product documentation. Products sold by SiTime are not suitable or intended to be used in a life support application or component, to operate nuclear facilities, or in other mission critical applications where human life may be involved or at stake