

PLL 設計における VCXO 性能のトレードオフ

目的

1	はじめに.....	2
2	基本 PLL アーキテクチャ.....	2
2.1	周波数トラッカー／フィルタとしての PLL.....	2
3	PLL 性能への VCXO パラメータの影響.....	3
3.1	絶対周波数可変範囲.....	3
3.1.1	絶対周波数可変範囲に対する SiTime VCXO の利点.....	3
3.2	Kv 直線性.....	4
3.3	PLL 設計への Kv の影響.....	4
3.3.1	Kv 変動に対する SiTime VCXO の利点.....	5
4	結論.....	6
5	参考資料.....	6

1 はじめに

多くの VCXO は、低帯域幅の PLL における重要なコンポーネントです。このような PLL は、通信・映像・音響・ネットワーク・計装用途における同期化やジッタのクリーンアップによく利用されます。本アプリケーションノートでは、重要な VCXO 固有の性能パラメータの関係、および、PLL 設計におけるそれらのトレードオフについて述べます。

2 基本 PLL アーキテクチャ

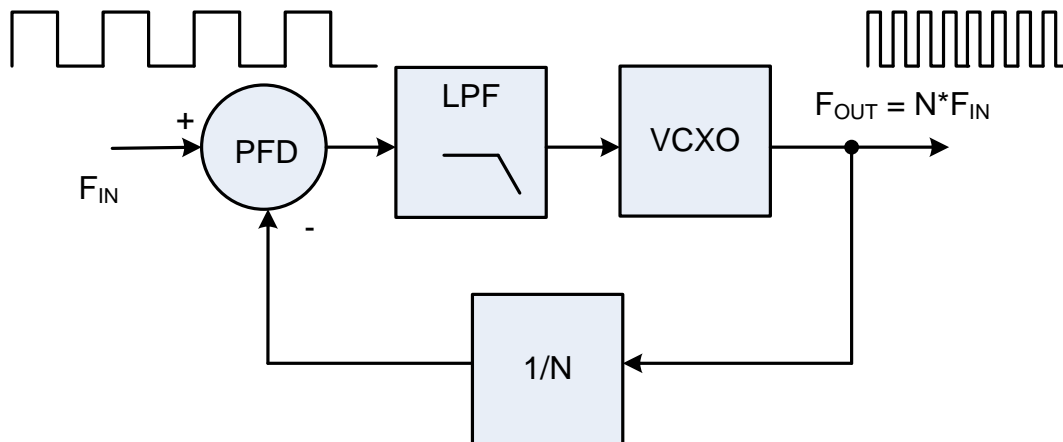


Figure 1: Typical PLL block diagram

PLL ブロックダイアグラムの簡略図を図 1 に示します。基準クロックが入力周波数 F_{IN} を供給します。位相周波数ディテクタ (PFD) は、入力クロックと出力クロックの位相を比較して位相差による誤差信号を周期的に生成します。この周期的な信号はループフィルタ (LF) によりローパスフィルタ処理され、アナログ制御電圧として VCXO 入力に伝わります。

VCXO の出力周波数は、制御入力電圧によって制御されます (概ね比例します)。出力周波数は、位相誤差エネルギーが 0 になるまで制御電圧の変化に応じて変動します。上図の一般的な例では、VCXO によって生成された出力周波数と PFD への周波数フィードバック経路の間に N 分周器がはいります。これにより、基準周波数の N 逡倍が実現されます。

2.1 周波数トラッカー／フィルタとしての PLL

基準周波数の変動速度が PLL ループフィルタの帯域幅内であれば、PLL 出力は基準周波数の変動をトラックします。また、PLL 出力は入力基準周波数の高周波変動 (またはジッタ) を平坦化あるいはフィルタ処理します。基準クロックの低周波変動をトラックすると同時に高周波ジッタをフィルタできるので、PLL はネットワーク同期アプリケーション等で用いられる「ジッタークリーナー」として使用できます。

この場合、VCXO 自身の低周波位相ノイズは低減する一方で VCXO の高周波位相ノイズが出力に伝わるというトレードオフが発生します。

したがって、同一ループが、基準入力ノイズに対してはローパスフィルタの機能を果たし、VCXO ノイズに対してはハイパスフィルタの機能を果たすこととなります。この場合、達成しようとする目的によ

ってループ帯域幅に対する要求が異なってくるため、ループ帯域幅を決定する際にトレードオフが発生します。

- 1) 基準入力ノイズを減衰させる（帯域幅は低い方が良い）
- 2) 基準入力変動を所望の帯域までトラッキングする
（トラッキング速度が速くなると必要な帯域幅も高くなる）
- 3) VCXO 起因ノイズを減衰させる（帯域幅は高い方が良い）

最初の2つの目的1)と2)は、ローパスフィルタの通常のトレードオフ（トラッキング性能 vs ノイズフィルタ性能）に相当します。一般的に、低ノイズ VCXO を使用することで VCXO 起因のノイズの減衰を考慮する必要がなくなるため、これら2つのパラメータのトレードオフが軽減されます。

PLL システムの VCXO は、通常単純なゲイン K_v ^[1] としてモデル化できます。いかなるフィードバックシステムにおいても、クローズドループのダイナミクスはこのゲインの関数のため、 K_v の選択を誤れば不安定になる場合があります。従って、ループ設計において、 K_v の選択が重要なファクターの一つとなります。アプリケーションによって K_v の適切な範囲は決まりますが、要件を満たす VCXO の入手性によってその範囲が制限されます。

3 PLL 性能への VCXO パラメータの影響

PLL 設計では、通常、最小限の K_v および最大限の APR が望ましいです。しかし水晶ベースの VCXO で両方を同時に満たすことは困難です。本項では APR と K_v のトレードオフについて述べ、SiTime VCXO によって設計者がいかにこれらのトレードオフから解放されるか説明します。

3.1 絶対周波数可変範囲

PLL 設計者が全条件下での入力周波数範囲に対するトラッキング性能に関心を持つことから、絶対周波数可変範囲 (APR)^[1] が PLL 設計により関連したスペックとなります。

水晶ベースの VCXO と SiTime の VCXO 双方の周波数に対する電圧 (FV) 特性を図 1 に示します。グレーの帯域は、条件によって FV 特性がどの程度変動するかを示し、公称（総称）周波数可変範囲と APR の差を示しています。APR は最大期待周波数変動よりも大きくなければなりません。そうでなければ、PLL は基準入力周波数をトラッキングできない可能性があります。

水晶ベース VCXO でより高い APR を得るためには、「より引き込み可能」な Q 値の低い水晶を使用する必要があります。但し、これは周波数偏差を劣化させてしまいます。したがって、アプリケーションで許容される最小の APR とその APR にともなう周波数偏差のトレードオフが発生します。一般的には、アプリケーションで許容される最小の APR を選ぶのがベストとなります。

3.1.1 絶対周波数可変範囲に対する SiTime VCXO の利点

通常、周波数可変範囲の高い VCXO では、周波数偏差もより大きく（より悪く）なりますが、アプリケーションの必要最低要件を満たすために単に APR が高く、必要以上に周波数可変範囲の大きい VCXO を選択することがよくあります。その場合、急峻な FV 特性を持つ VCXO を使用することになりますが、これは PLL を設計する際、逆にペナルティとなりノイズや安定性マージンに影響してきます。しかし、SiTime の VCXO 製品群はこの影響を受けません。SiTime は、VCXO デバイスに内蔵した PLL を通じて制

御電圧に対する周波数変化を制御することにより、周波数可変範囲と周波数偏差が無関係となるようにしています。従って、設計者はアプリケーションで必要とされる APR そのものを選択することが可能となります。

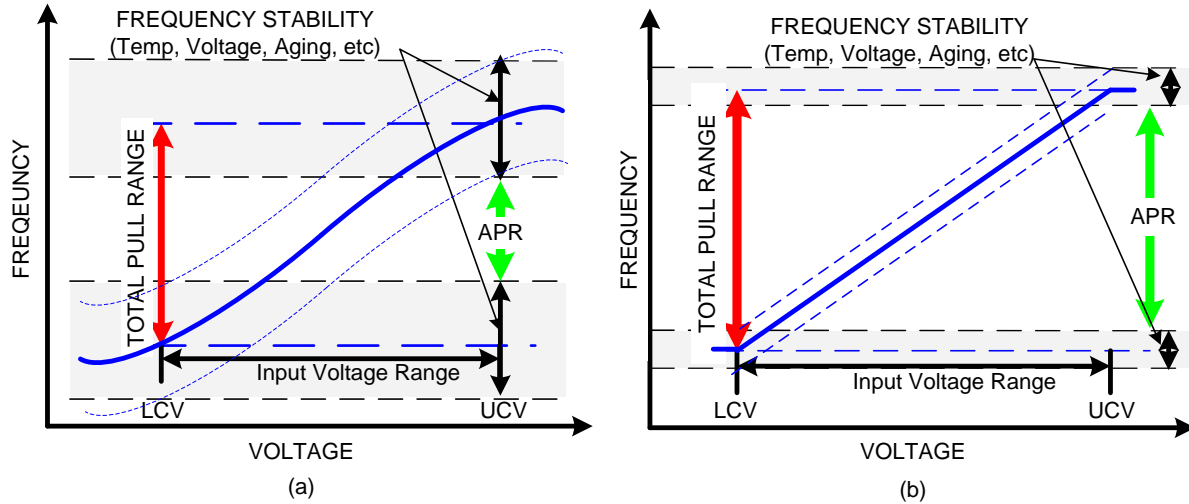


Figure 2: Typical VCXO FV characteristics:
 (a) Typical Quartz VCXO characteristics, (b) Typical SiTime VCXO characteristics

3.2 Kv 直線性

水晶ベース VCXO の K_v ^[1] は、入力制御電圧範囲において、通常 10~20%程度大きく変動します。一般的に、直線性の優れた部品は K_v の変動が小さくなりますが、直線性の優れた部品でも K_v の変動が大きくなることがあります。

K_v の平均値を K_v と定めているデータシートもありますが、 K_v は、帯域幅や位相マージン（安定性）等の重要な PLL 性能パラメータに影響を及ぼすため、設計を成功させるには全ての K_v の変動を理解して考慮に入れる必要があります。

3.3 PLL 設計への K_v の影響

ほとんどの低帯域幅 PLL において、VCXO の FV 特性は単純なゲイン K_v としてモデル化されています。いかなる制御システムにおいてもゲインの調節は、クローズドループのダイナミクスを変動させます。非常に多くの場合、 K_v の増加によりループの応答速度が速く（追跡が良く）なりますが、オーバーシュートやピーキングも増加し、クローズドループのシステムが不安定になる場合があります。また、 K_v が高い場合、制御入力の電圧ノイズに対してシステムがより敏感になり、システムジッタ全体を増加させます。

水晶ベースの VCXO は、バラクタによって電圧制御機能を実現していますが、バラクタを用いる事により FV 特性は図 3(a)に示すような曲線となります。これらのデバイスの直線性は通常 5~10%となります。この FV 曲線特性のため入力電圧範囲における K_v 特性は図 3(c)に示すように大きく変化します。PLL 設計者は、このような VCXO を正しく使用するために、PLL 帯域幅およびトラッキング能力を制限

する K_v の最小値と、ワーストケースのジッタとノイズ性能ならびにシステム安定性を決定づける K_v の最大値の両方を考慮に入れなければなりません。

さらに複雑なことに、温度や V_{dd} 等の条件によって直線性や K_v 曲線自体が変動する場合があります。設計者はこれらの条件による K_v への最悪の影響を考慮する必要があります。データシートによってはこれらの依存性に対する記述が無く、保守的な「最小限」や「最大限」といった K_v スペックだけしか記載されていない場合があります。

設計者は、初め最小 APR の原則に基づいて VCXO を選択するかもしれませんが、APR が高くなるにつれて VCXO の周波数偏差が悪化するため、同じ電圧制御範囲で同じ APR を実現するには、より高い K_v が必要になります。これは、APR の要求を満たすためだけに、システム性能やループの安定性から決定される K_v よりかはるかに高い K_v を選択する必要があるということを意味します。

3.3.1 K_v 変動に対する SiTime VCXO の利点

比較のために SiTime の 380X シリーズ VCXO の直線性および K_v の変動を図 3(b)および図 3(d)に示します。FV 特性は極めて直線的でありズレも 1%よりもはるかに小さく、 K_v は制御範囲全域を通して極めて一定です。

さらに SiTime の設計では、周波数偏差と K_v は完全に独立したパラメータとして定義されています。これは、設計者がアプリケーションに適切な周波数偏差、APR および K_v を自由に独立して選択できることを意味しています。また、 K_v は全制御電圧範囲を通じて一定のため、 K_v の条件変動によるワーストケース分析を行なう必要がほとんどありません。これらの全ての利点により PLL 設計者の負担が大幅に軽減します。

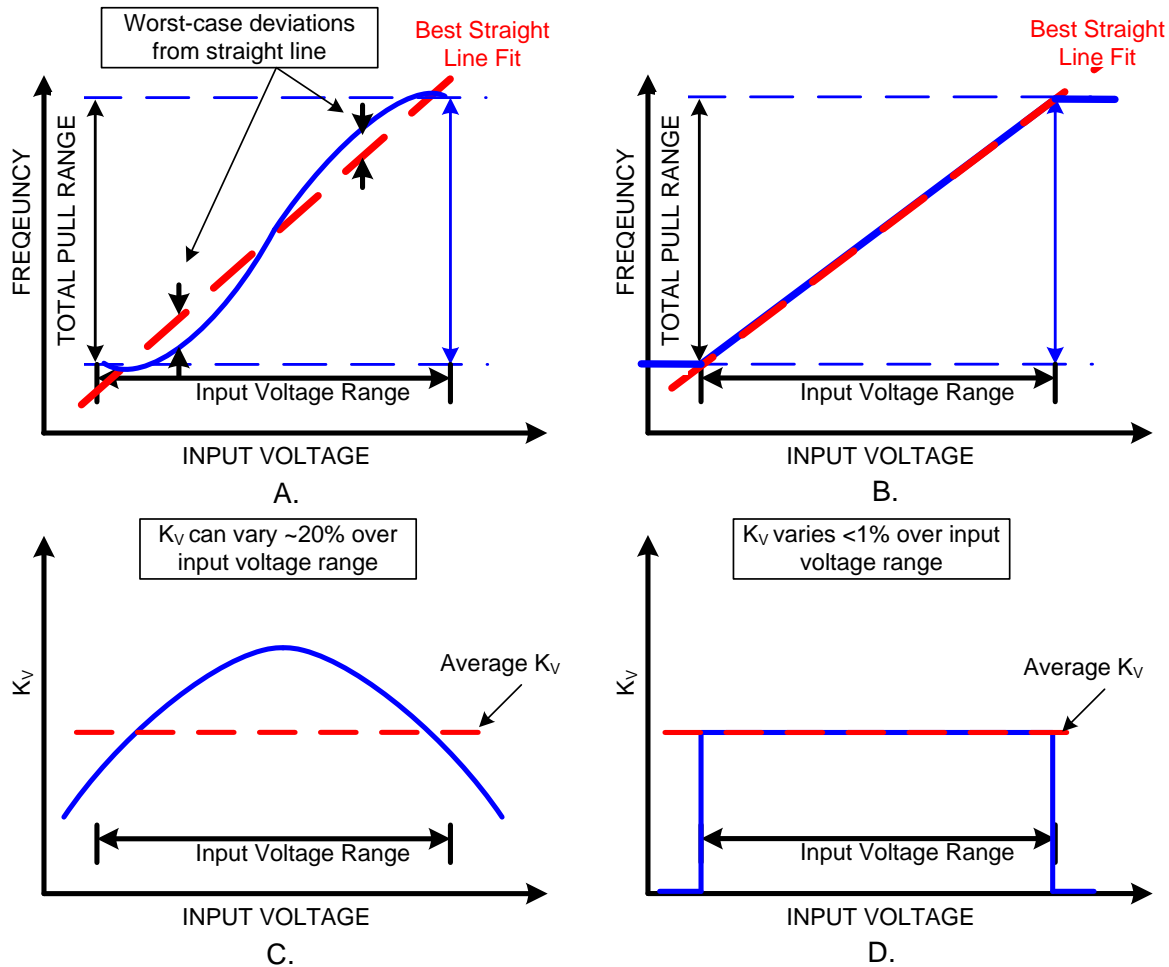


Figure 3: VCXO linearity and K_V characteristics:
 (a) Typical quartz VCXO FV characteristics, (b) Typical SiTime VCXO FV characteristics,
 (c) Typical Quartz VCXO K_V variations, (d) Typical SiTime VCXO K_V variations

4 結論

本書では、最も重要な VCXO 性能仕様と VCXO アプリケーションの 1 つである PLL 設計について説明しました。また、従来水晶ベースの VCXO と SiTime の VCXO の仕様の重要な相違点を明確にし、SiTime の VCXO を使用することで PLL 設計者が考慮しなければならない APR や K_V および周波数偏差といったクリティカルパラメータのトレードオフを低減できるという利点を説明しました。

5 参考資料

- [1] SiTime Corp., “Definitions of VCXO Specifications,” Application Note AN10020, Rev 1.0

SiTime Corporation
990 Almanor Avenue
Sunnyvale, CA 94085
USA
Phone: 408-328-4400
<http://www.sitime.com>

© SiTime Corporation, 2008-2011. The information contained herein is subject to change at any time without notice. SiTime assumes no responsibility or liability for any loss, damage or defect of a Product which is caused in whole or in part by (i) use of any circuitry other than circuitry embodied in a SiTime product, (ii) misuse or abuse including static discharge, neglect or accident, (iii) unauthorized modification or repairs which have been soldered or altered during assembly and are not capable of being tested by SiTime under its normal test conditions, or (iv) improper installation, storage, handling, warehousing or transportation, or (v) being subjected to unusual physical, thermal, or electrical stress.

Disclaimer: SiTime makes no warranty of any kind, express or implied, with regard to this material, and specifically disclaims any and all express or implied warranties, either in fact or by operation of law, statutory or otherwise, including the implied warranties of merchantability and fitness for use or a particular purpose, and any implied warranty arising from course of dealing or usage of trade, as well as any common-law duties relating to accuracy or lack of negligence, with respect to this material, any SiTime product and any product documentation. Products sold by SiTime are not suitable or intended to be used in a life support application or component, to operate nuclear facilities, or in other mission critical applications where human life may be involved or at stake.