

発振器の PCB デザインのガイドライン

1	はじめに.....	1
2	デカップリングコンデンサの使用.....	1
3	バイパスコンデンサの使用.....	4
4	電源ノイズ低減.....	4
5	電源について.....	6
6	SiTime 製品推奨レイアウト.....	6

1 はじめに

発振器の性能を期待通りに引き出すためには、適切なデカップリングやバイパスを行い、電源ノイズを低減させることが重要です。

一般的な方法はコンデンサをハイスピードデバイスの近くに配置することです。これらのコンデンサは3つの重要な役割を果たします。

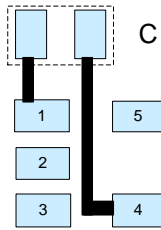
- 部品に瞬間的な電流を供給する
- システムに伝播するノイズを低減する
- 電源ノイズを GND に逃す

以下のセクションでは SiTime のシングルエンドおよび差動出力発振器のデカップリング、バイパス、電源ノイズ低減、電源推奨条件について解説します。

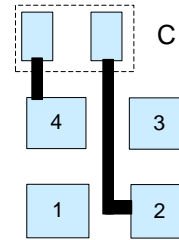
2 デカップリングコンデンサの使用

クロック発振器のような高速スイッチングデバイスではかなりの負荷が電源にかかります。クロック周波数が高く信号の立ち上がりが急峻な場合 (Typical で 1ns のレンジ)、電源から電流を速やかに供給することが大変難しくなります。結果としてデバイスで電源電圧降下が発生します。十分な電流をデバイスへ供給するためにローカル蓄電池の役割を果たすデカップリングコンデンサが必要になります。

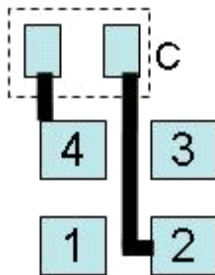
シングルエンドおよび差動出力の発振器の VDD ピンと GND プレーン間に 0.1 μ F のセラミックデカップリングコンデンサを使うことを推奨します。図 1 と図 2 は SiTime の 4 ピン発振器用に 0603 サイズのデカップリングコンデンサを付けた場合の参考レイアウトを示しています。図 1 と図 2 の全ての配線はソルダレジストで保護する必要があります。クロックのピン 1 は Output Enable, Standby, Spread Disable, or VCML Control などのファンクション PIN として使用する可能性があります。



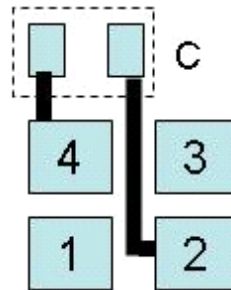
(a) SOT23-5 package



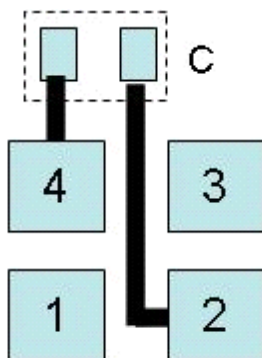
(b) 2.0 mm x 1.6 mm package



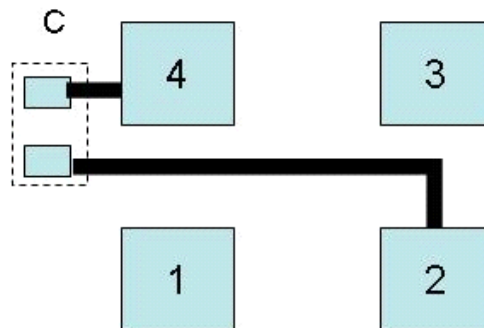
(c) 2.5mm x 2.0mm package



(d) 3.2mm x 2.5mm package

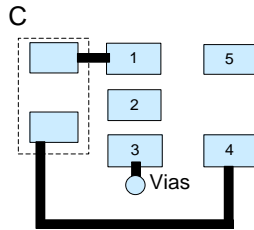


(e) 5.0mm x 3.2mm package

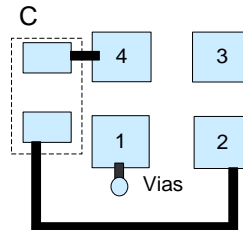


(f) 7.0mm x 5.0mm package

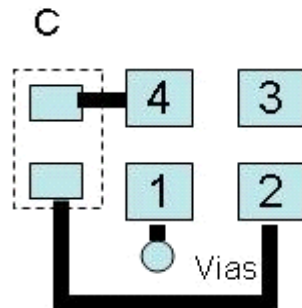
Figure 1: Layout Example for 4-pin SiTime device with decoupling capacitor for case when board fabrication technology allows trace routing between oscillators pins



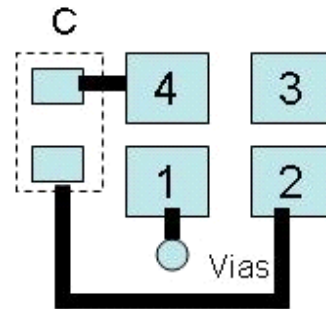
(a) SOT23-5 package



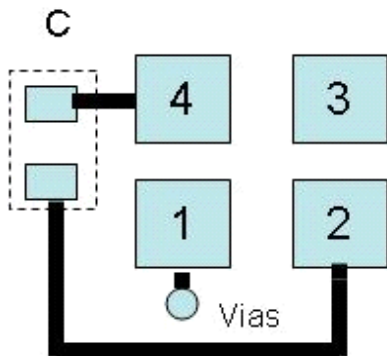
(b) 2.0 mm x 1.6 mm package



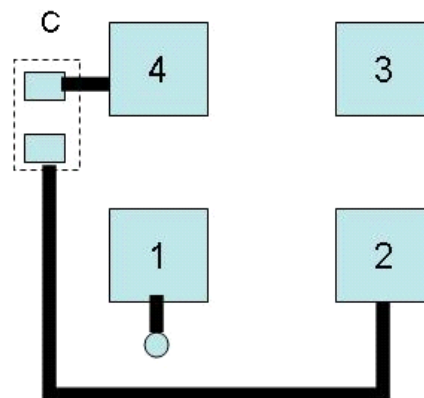
(c) 2.5mm x 2.0mm package



(d) 3.2mm x 2.5mm package



(e) 5.0mm x 3.2mm package



(f) 7.0mm x 5.0mm package

Figure 2: Layout Example for a SiTime Device with a Decoupling Capacitor for case when board production technology doesn't allow traces between oscillators pins.

3 バイパスコンデンサの使用

近年のシステムでは、プロセッサの高速化、データレートの高速化に伴いノイズの割合が増加しています。クロック発振器によって生成される矩形波の出力には、基本周波数の他に高調波成分が含まれています。システムを伝播するノイズを抑制するために、過渡エネルギーを GND へ逃すための低インピーダンスパスとしてバイパスコンデンサが必要になります。

SiTime 製品ではほとんどの場合、 $0.1\ \mu\text{F}$ のデカップリングコンデンサで十分なバイパス効果が確保できます。追加のバイパスコンデンサは不要です。

特別な場合として 150MHz を超えるような高速クロックを出力する差動出力発振器などでは、電源への高調波ノイズを減らすため、1nF あるいは 10nF のバイパスコンデンサを追加すると効果がある場合があります。

4 電源ノイズ低減

ほとんどの場合、1つの $0.1\ \mu\text{F}$ のコンデンサを VDD と GND の間に付けることで VDD に重畳される電源ノイズを GND へ逃すことができます。SiTime の製品はレギュレータを内蔵しており、電源ノイズの影響を受けにくくなっています。しかし、通信システムのような出力ジッターが重要なシステムでは、残留電源ノイズの影響をさらに減らすために、RC あるいは LC を使った電源ノイズフィルターの使用が有効です。SiTime では高速信号系を持つシステム（例えば 6Gbps より高速の SerDes インターフェースを持つ 8.5Gbps Fibre Channel や 10G Ethernet など）にはこのような電源ノイズフィルターを使用することを推奨します。

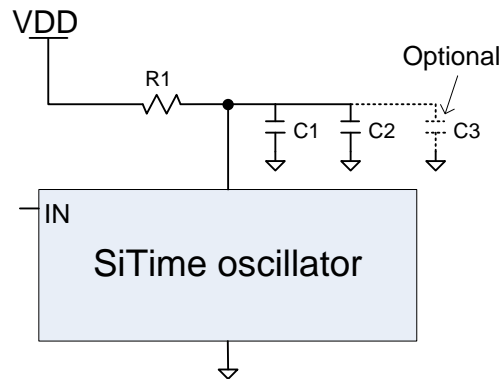


Figure 3: RC power supply filter

図3のRCノイズフィルターは有効で、Rは電源電圧の電圧降下が5%のレンジとなるような大きさのものを選びます。

Table 1: Recommended component values for RC power supply filter

Device	R1 (Ω)	C1 (μF)	C2 (μF)	C3 (μF)
SiT9001, SiT8208, SiT8209, SiT8225, SiT8256, SiT5000, SiT5001, SiT5002, SiT3807, SiT3808, SiT3809, SiT3907, SiT3509, SiT3519	3	10	0.1	0.01
SiT8103, SiT3701, SiT8033, SiT9003, SiT8003, SiT1602, SiT8008, SiT8009, SiT1618, SiT8918, SiT8919, SiT8920, SiT8921, SiT8924, SiT8925, SiT2018, SiT2019, SiT2020, SiT2021, SiT2024, SiT2025, SiT9201, SiT2002, SiT5021, SiT5022,	5	1	0.1	N/A

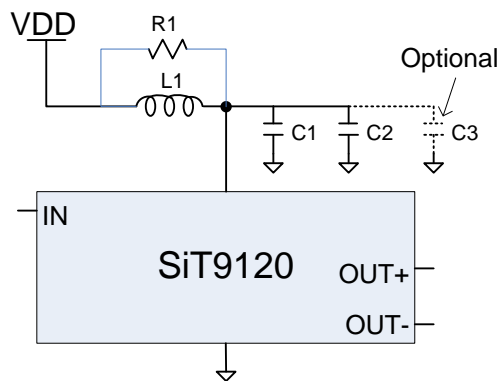


Figure 4: LC power supply filter

図4のLCノイズフィルターは、特に差動出力発振器のような高消費電流のデバイスに適しています。寄生直列抵抗の小さい（一般的に1Ω以下）インダクターを使ったフィルターを使用することで電源からデバイスまでの電圧降下を50mV以下に抑えることができます。LCノイズフィルターには発振器のスイッチングノイズが電源への入り込むことを抑制する効果もあります。またRをインダクターと並列接続することでLC回路の共振周波数で発生するピーキングノイズを減らすことができます。表2にSiT9102のLCノイズフィルターの推奨値を示します。同じLCノイズフィルターは、SiTimeの（SS拡散機能ありあるいはSS拡散機能なしの）シングルエンド発振器およびVCMOにも使用可能です。

Table 2: Recommended component values for LC power supply filter

Components	L1	C1 (μF)	C2 (μF)	C3 (μF)	R1 (Ω)
SiT9102, SiT9002, SiT9120, SiT9121, SiT9122, SiT9156, SiT3821, SiT3822, SiT3921, SiT3922	1uH to 10uH I _{max} >140mA	10	0.1	0.01	10

5 電源について

中間電位や非常に遅い立ちあがりの電源で SiTime の発振器を使うことはお勧めできません。このような環境下で SiTime の発振器を使うと発振しなかったり、誤動作を引き起こす恐れがあります。

6 SiTime 製品推奨レイアウト

PCB デザインに関していくつかの一般的なガイドラインを紹介します。

- VDD とクロックソースの GND の間のデカップリングコンデンサはクロックデバイスに入り込むノイズを減らすのに不可欠です。このコンデンサはできるだけ VDD に近く (1 - 2mm) 配置する必要があります。
- クロックデバイスはできるだけクロック供給先の近くに配置してください。
- クロック信号の配線は短くしてください。
- クロック信号を PCB のエッジ近くに配置しないでください。
- クロックデバイスの下の PCB 領域に VDD や他の高速信号の配線を配置しないでください。クロックデバイスの下の PCB 領域には GND を配置することを強く推奨します。
- Via を使ってクロック信号を配線するのは可能な限り避けてください。Via によりインピーダンスが変化し、反射が起こります。
- クロック信号を PCB の VDD や GND レイヤーに配置しないでください。
- クロック信号を直角に曲げるのは避けてください。できればできるだけ直線を使って配線してください。曲げる必要がある場合は 45 度以内の斜め配線や下図のような曲線を推奨します。
- 差動型のクロック信号を配線する場合はペアの長さが同じになるよう注意してください。



SiTime Corporation
990 Almanor Avenue
Sunnyvale, CA 94085
USA
Phone: 408-328-4400
<http://www.sitime.com>

© SiTime Corporation, 2008-2013. The information contained herein is subject to change at any time without notice. SiTime assumes no responsibility or liability for any loss, damage or defect of a Product which is caused in whole or in part by (i) use of any circuitry other than circuitry embodied in a SiTime product, (ii) misuse or abuse including static discharge, neglect or accident, (iii) unauthorized modification or repairs which have been soldered or altered during assembly and are not capable of being tested by SiTime under its normal test conditions, or (iv) improper installation, storage, handling, warehousing or transportation, or (v) being subjected to unusual physical, thermal, or electrical stress.

Disclaimer: SiTime makes no warranty of any kind, express or implied, with regard to this material, and specifically disclaims any and all express or implied warranties, either in fact or by operation of law, statutory or otherwise, including the implied warranties of merchantability and fitness for use or a particular purpose, and any implied warranty arising from course of dealing or usage of trade, as well as any common-law duties relating to accuracy or lack of negligence, with respect to this material, any SiTime product and any product documentation. Products sold by SiTime are not suitable or intended to be used in a life support application or component, to operate nuclear facilities, or in other mission critical applications where human life may be involved or at stake.