

SiTime シングルエンド発振器の推奨終端方法

1	はじめに.....	2
2	集中・分布定数回路.....	2
3	クロックの推奨終端方法.....	3
3.1	駆動対象が単一の場合.....	3
3.2	駆動対象が複数の場合.....	4
3.2.1	トレース端部に集中配置した複数の負荷を駆動する場合.....	5
3.2.2	1つのソースから2本の伝送ラインを駆動する場合.....	6
3.2.3	スター型トポロジーで、2つの負荷を駆動する場合.....	9
3.3	ソース終端を使用する場合のロー・パス・フィルタ効果.....	13
4	参考資料.....	13
付録 A:	Signal edge propagation in a series terminated transmission line.....	14
付録 B:	Reflection coefficients.....	15
付録 C:	Output impedances of SiTime parts for different drive strength options.....	16

1 はじめに

急峻な立ち上がり・下がりエッジを持つクロック信号では、プリント基板（PCB）上のトレースを単なる配線ではなく伝送線路として扱う必要があります。この長さが一定限度を超えた場合には、トレースのインピーダンスをソース或いは負荷のインピーダンスにマッチングさせる必要があります。もしインピーダンスに不整合が生じた場合は、伝送線路上で信号の反射を引き起こし、結果リングング、オーバーシュートやアンダーシュートなどの信号歪みを生じさせます。このアプリケーションノートでは、LVCMOS 出力で駆動するシングルエンドトレースの適切な終端方法のガイドラインを示します。なお、この文書では単一負荷・複数負荷の両方のケースについて触れております。

2 集中・分布定数回路

集中定数回路では、クロックソース、PCB トレースまたクロックレシーバが同じタイミングで応答するように表現されるのに対して、分布定数回路では各応答がトレースに沿って遅延を持って伝達されるように表現されます。実際、信号が伝搬する際には遅延が生じるため、完璧な集中定数回路というものは存在しません。しかしながら、以下の式で表されるクロックエッジの立ち上がり実効長と PCB トレース長の比率が 1/6 以下であれば集中定数で取り扱う事ができます。この場合、終端は考慮する必要はありません。

$$l = \frac{T_r}{T_{pd}} \quad \text{式 1}$$

l = 立ち上がりエッジの長さ、単位=インチ

T_r = 10% - 90%の立ち上がり時間, 単位=ピコ秒

T_{pd} = トレースの単位長さ当たりの伝播遅延, 単位=ピコ秒/インチ

例えば、FR4 の PCB トレースの伝播遅延は、140~180 ピコ秒/インチの範囲となっています。 $T_{pd} = 150$ ピコ秒/インチと仮定すると、1 ナノ秒の立ち上がりエッジの実効長は 6.7 インチとなります。よって、PCB トレース長が 1.1 インチ（立ち上がりエッジ実効長の 1/6）以下であれば、回路は概ね集中定数回路として表現することができます。 T_r を 20%- 80% で定義する場合は、この比率は 1/4 に変更してください。

SiTime 製品のデータシートには、駆動能力と負荷容量に対する出力信号の立ち上がり/立ち下がり時間が記載されています。式 1 で立ち上がりエッジの実効長を計算の際には、各製品のデータシートに記載されている T_r 値 table の中で最も低い負荷のオプション（通常 5pF）の値を採用して下さい（レシーバ端の負荷容量はクロックソース端の立ち上がり/立ち下がり時間に影響を与えない為）。

クロックドライバが伝送線路にクロックエッジを送り込むと、一定時間後にエッジは負荷に到達しますが、負荷のインピーダンス (Z_L) と伝送線路のインピーダンス (Z_0) が異なる場合、負荷からソースに向かって信号の一部が反射し信号品質が悪化します。また、ソース端でもインピーダンス不整合が生じると、上記の反射信号の一部がさらに負荷に向かって反射される為、信号品質がさらに悪化してしまいます。反射する信号の大きさは、反射係数（添付 B）によって決定されます。以下のセクションでは、単一または複数の負荷を駆動する際に、反射を最小限に抑え、シグナル・インテグリティを改善するための終端方法について説明します。

3 クロックの推奨終端方法

このセクションでは、ソースの終端に使用される一般的な方法を説明します。

3.1 駆動対象が単一の場合

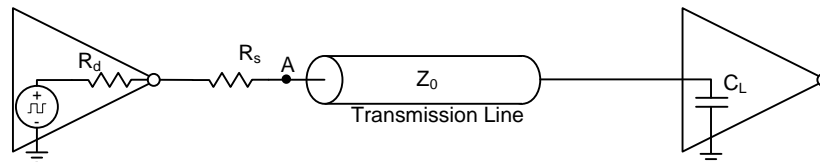


Figure 1: Series termination

直列終端は、トレース上に抵抗を直列に、また出来るだけソースに近くなるように配置して下さい（図 1 参照）。その際、インピーダンスの整合を取る為に、クロックドライバと直列終端抵抗との出力インピーダンスの合計が、トレースのインピーダンスと等しくなるようにする必要があります。

$$R_s + R_d = Z_0 \quad \text{式 2}$$

R_s - 終端抵抗の値
 R_d - ドライバの出力インピーダンス
 Z_0 - 伝送ラインのインピーダンス

SiT8208 を例として、最適な終端抵抗値の計算方法を以下に示します。なお、ここでは動作電圧は 3.3V、デフォルトのドライブ強度、60Ω のトレースを駆動すると仮定します。

SiT8208 の製品データシート^[2]の表 4 の通り、デフォルトのドライブ強度の設定コードは「F」です。添付 C の表 1 を参照すると、この設定コードに適合する出力インピーダンスは 15.3Ω だということが分かります。この値を式 (2) の R_s と Z_0 に代入すると、ソース終端抵抗値は、 $R_s = 60\Omega - 15.3\Omega = 44.7\Omega$ と計算することができます。

通常レシーバ端の入インピーダンス（メガオームのレベル）は非常に大きいため、レシーバ端にてエネルギーが全く吸収されず信号全体がソースに向かって反射し、返されてしまいますが、上記のソースと伝送ラインのインピーダンス整合によってそれ以上の反射は発生しません。直列終端の伝送ラインにおける信号伝搬の詳細図については、添付 A を参照して下さい。

また、SiTime が提供する IBIS モデルを用いてレイアウトのシミュレーションを実施することを勧めています。例として、SiT8208 が 5 インチ、60Ω の伝送ラインを駆動するシミュレーションでのレシーバ端の信号波形を図 2 に示します。

このシミュレーションでは終端抵抗 R_s として 43Ω を選択し、60Ω の伝送ラインとのインピーダンス整合をとっています。また PCB 製造上のばらつきを考慮して、伝送ラインのインピーダンスが +/-10% 変動した場合の結果も図に載せています。なお、シミュレータとして Altium Designer 社の Signal Integrity Analysis ツールを使用しています。

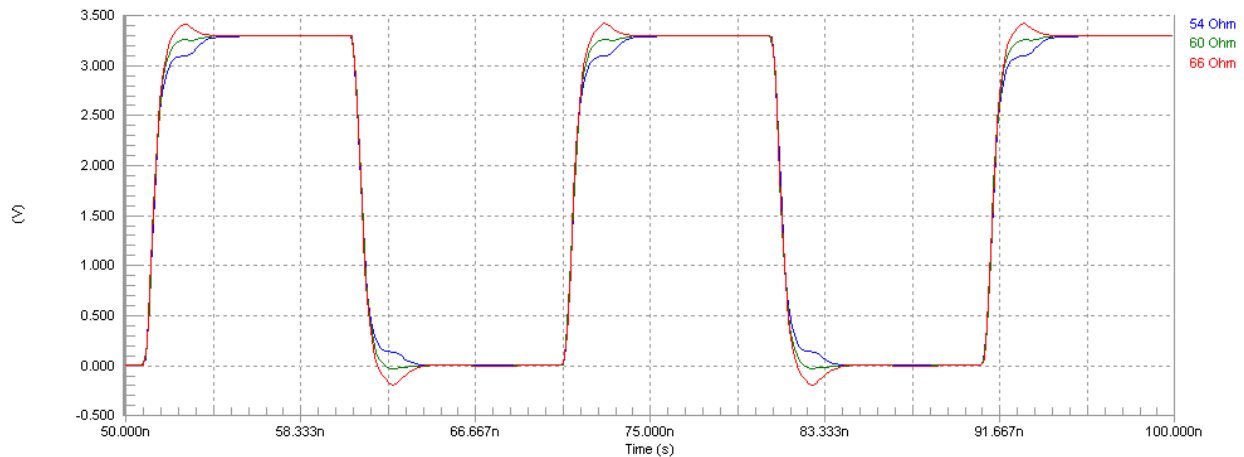


Figure 2: Altium Designer simulation waveform for SiT8208 driving load through 5 in transmission line. Trace impedance – 54, 60, and 66 Ω , supply voltage – 3.3 V, source termination – 43 Ω , load capacitance – 5 pF.

SiTime のシングルエンド発振器に適合する出力インピーダンスの情報については、添付 C を参照して下さい。

3.2 駆動対象が複数の場合

PCB 上の複数の IC が同一周波数の入力クロックを必要とする場合があります。1 つのクロック源で複数の負荷を駆動するための 1 つの方法として、fan-out buffer(複数の clock 出力端子をもつ device)の使用がありますが、追加の基板スペースと電力を必要とします。代替策としては、1 つの出力端子で複数の負荷を駆動する方法です。

1 つの出力端子で複数負荷を駆動するために望ましいレイアウトは、伝送ラインから複数負荷への分岐を 1 つにし(=スター型接続)、トレース長をできる短くすることです。これにより、複数負荷を集中定数回路として表現することができます (3.2.1)。この方法では、各負荷が十分に近くなるように配置することが必要です。

もし、各負荷の間の距離が長い場合は、1 つの出力端子が 1 つの伝送ラインを駆動するのではなく、2 つの伝送ラインを駆動する回路モデルを考慮する必要があります (3.2.2)。この理由から一つの伝送ラインを駆動するよりも高い駆動能力が出力ドライバに必要になりますので、伝送ラインのインピーダンスが 60 Ω 以下の場合は電源電圧が 1.8V の SiT1602 および表 2 に記載されている他のデバイスの使用は推奨しません。また設計を始める前に IBIS モデルを使用して、シグナル・インテグリティのシミュレーションを実行することを推奨します。

一部の製品は 2 つの伝送ラインを駆動するのに十分な駆動能力を持っていない場合がありますが、発振器の出力端子と負荷の間隔が十分に小さい場合には、システムをスター型トポロジーで表現できる可能性があります (3.2.3)。

SiTime 製品の出力ドライバは 50-60 Ω のインピーダンスを持つ伝送ラインを 3 つ以上駆動することは通常できません。そのため、単一のドライバで 3 つ以上の伝送ラインを駆動することは推奨しません

3.2.1 トレース端部に集中配置した複数の負荷を駆動する場合

複数負荷を駆動するシステムにおいて、最適なシステムは伝送ラインの端部に複数の負荷が集中的に配置される場合です（図 3）。クロックエッジの実効長を $1/6$ した値と伝送ラインから各負荷までの距離を比較し、後者の値のほうが短い場合、システムをこの回路モデルで表現することができます。なお、

図 3 に示すように、負荷をスター型の形状で接続しなければなりません。この場合の直列の終端抵抗の値は、単一負荷の場合と同じ数式で計算可能です（式 2）。

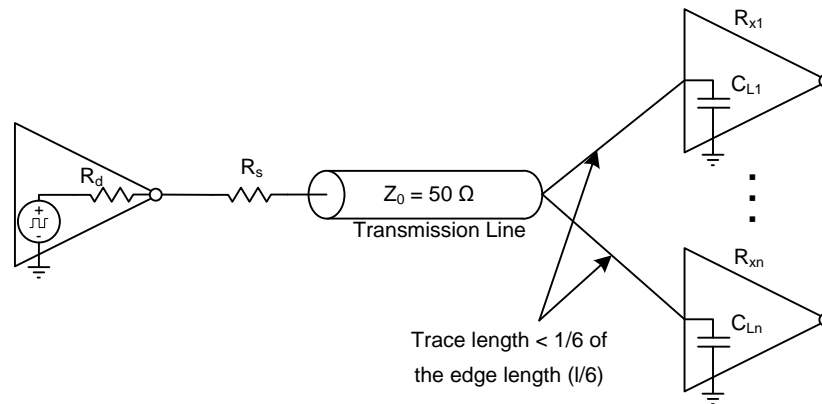


Figure 3: Series termination with multiple loads lumped at the end of the trace

電源電圧 3.3V の SiT8208 が図 3 の構成の回路を駆動した場合のシミュレーション結果を図 4 に示します。各パラメータは次の通りです。Rs=43Ω、CL=5pF、レシーバの数=2、伝送ラインからレシーバまでの距離=0.5 インチ（~75 ps）。使用したシミュレータは Altium Designer 社のものになります。

図 5 に示す通り、伝送ラインからレシーバまでの距離が長過ぎると、反射でシグナル・インテグリティに問題が起きることが分かります。

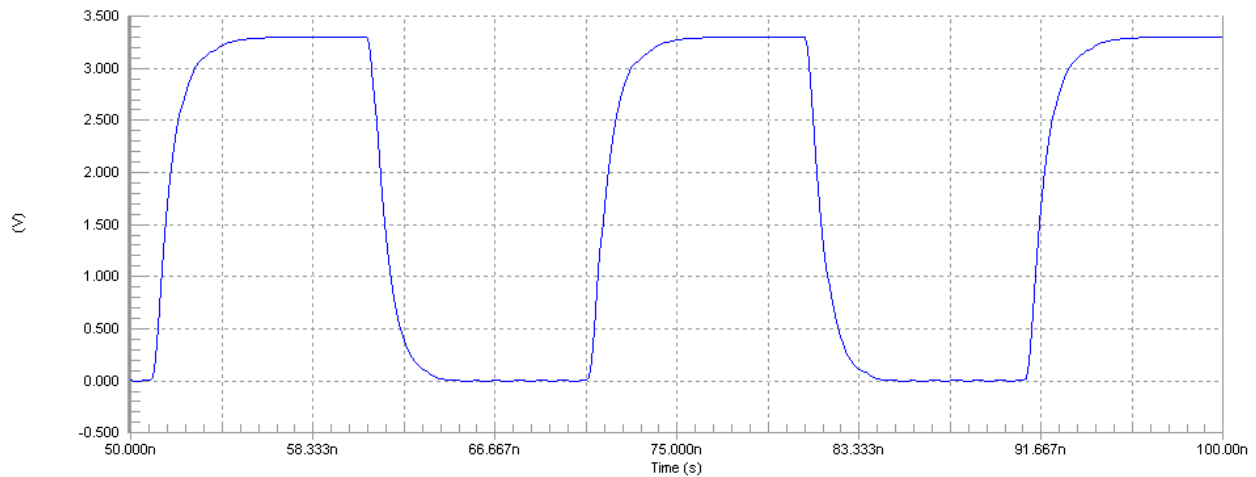


Figure 4: Altium Designer simulation waveform (at the load side) for SiT8208 driving two loads lumped at the end of 5-in. trace. Trace impedance – 60 Ω, supply voltage – 3.3 V, source termination – 43 Ω, load capacitance – 5 pF.

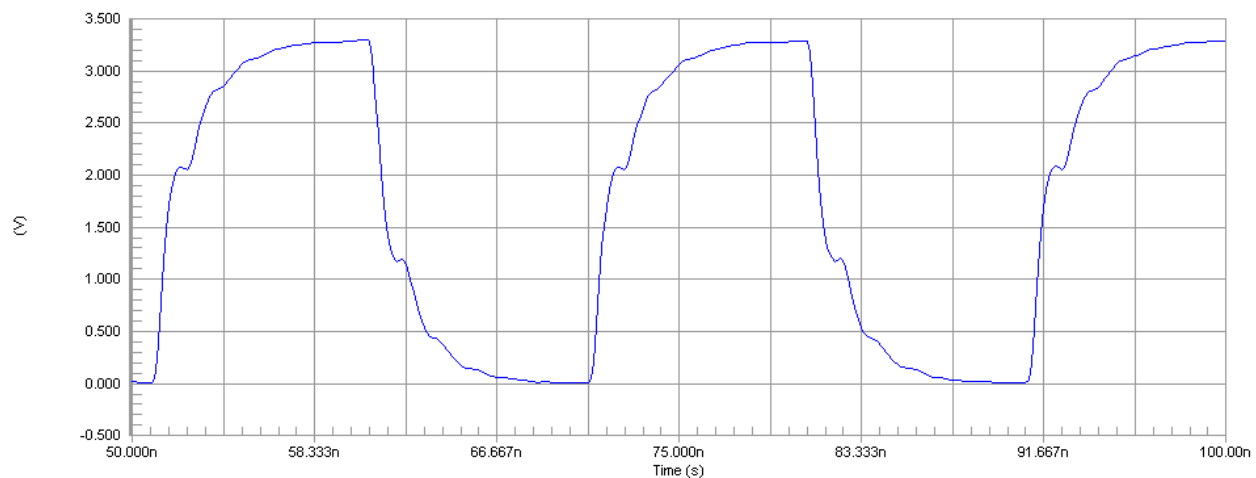


Figure 5: Altium Designer simulation waveform (at the load side) for SiT8208 driving two loads when the trace from the driver splits after 2 in. into two 3-in. sections each connecting to the load. Trace impedance – 60 Ω, supply voltage – 3.3 V, source termination – 43 Ω, load capacitance – 5 pF.

3.2.2 1つのソースから2本の伝送ラインを駆動する場合

クロックのレシーバが互いに離れている場合、レシーバ端の負荷を集中定数回路として配置することができません。このような場合には、負荷毎に個別の伝送ラインをクロックの出力端子が駆動する回路モデルを考える必要があります。図 6 は、単一のドライバが複数の終端された伝送ラインを駆動する構成を示しています。

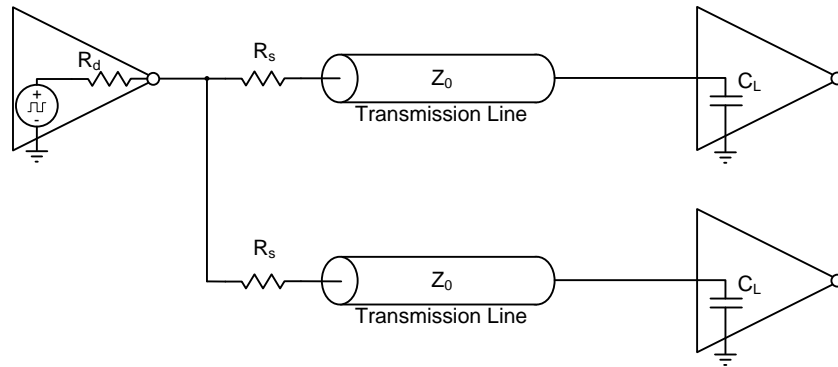


Figure 6: Driving multiple transmission lines from one source

この方法は、伝送ライン毎に終端抵抗を 1 つだけ必要とし、負荷側でフルスイングの信号振幅が得られるため、低コストとなっています。最適なシグナル・インテグリティのために、以下の条件を満たす必要があります^[1]。

1. エッジの伝送中に、クロックドライバが十分なピーク電流を供給できる
2. すべての伝送ラインが同じ長さである
3. レシーバ端での負荷容量がほぼ同じである
4. 終端抵抗が式 3 から計算される値になっている

$$R_s = Z_0 - R_d \cdot N \quad \text{式 3}$$

R_s - ソースの終端抵抗
 Z_0 - 伝送ラインのインピーダンス
 R_d - ドライバ出力の抵抗
 N - 駆動ラインの数

電源電圧 3.3V の SiT8208 が図 6 の構成の回路を駆動した場合のシミュレーション結果を図 7 に示します。ソースの終端抵抗は、式 3 で計算された値になっています。立ち上がりエッジの後の小さな下落と立ち下がりエッジの後の小さな隆起は、負荷とソースドライバの寄生容量に主に起因しており、この寄生容量によって僅かなインピーダンス不整合が引き起こされています。なお、シミュレータは Altium Designer 社のものになります。

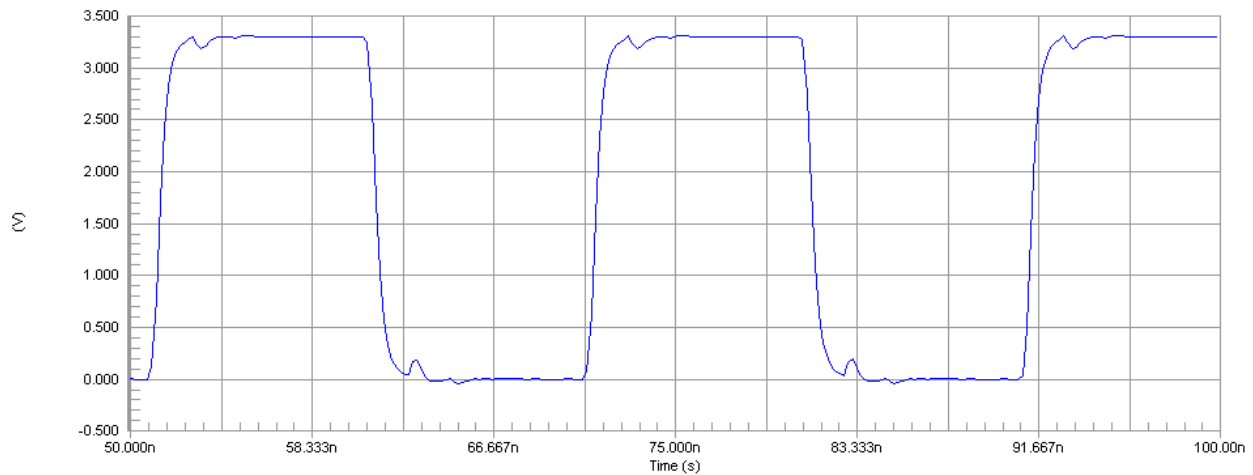


Figure 7: Altium Designer simulation waveform (at the load side) for SiT8208 driving two 5-in. transmission lines. Trace impedance – 60 Ω , supply voltage – 3.3 V, $R_s = 15 \Omega$, $C_L = 5 \text{ pF}$.

2つの50 Ω の伝送ラインを駆動するには、2つの60- Ω の伝送ラインを駆動するよりも強い駆動能力が必要となります。図7のシミュレーション条件で伝送ラインのインピーダンスを50 Ω にした場合の結果を図8に示します。

このシミュレーションではソースの終端抵抗をゼロに設定していますが、それでもソースのインピーダンスが高すぎて、図7のような良好なシグナル・インテグリティを確保できていないことがわかります。よって本シミュレーションに使用したデフォルトの駆動能力よりも強い駆動能力を選択することを推奨します。

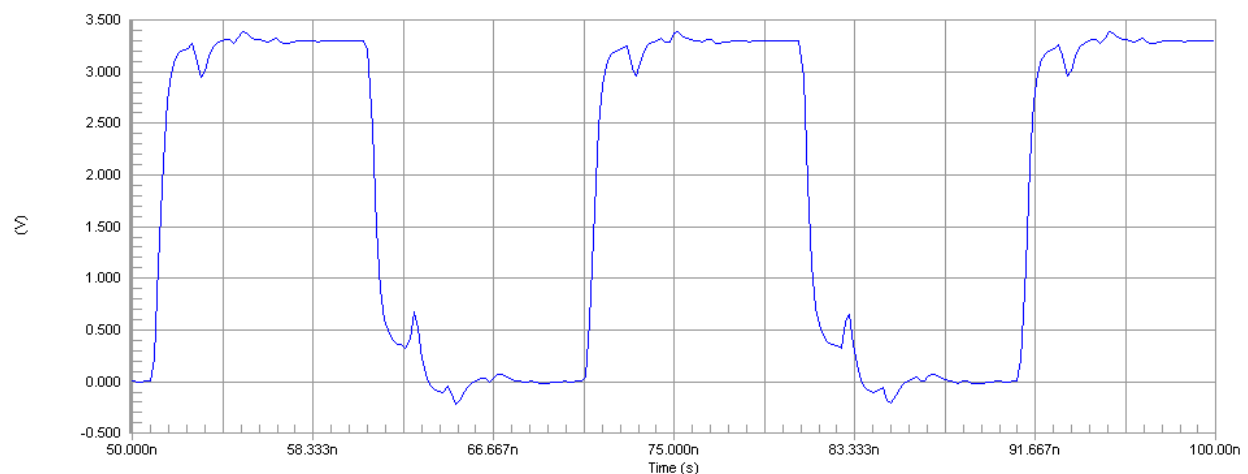


Figure 8: Altium Designer simulation waveform (at the load side) for SiT8208 driving two 5-in. transmission lines. Trace impedance – 50 Ω , supply voltage – 3.3 V, $R_s = 0 \Omega$, $C_L = 5 \text{ pF}$.

単一のソースで2つの伝送ラインを駆動する方法では、負荷端にて反射した信号がソース端で互いに相殺し合い、結果再度ソースから負荷に反射し返さないことを可能にします。完璧に相殺するには、負荷端で反射された信号が同時にまた同じ形状でソースに到達する必要があります。

また、伝送ラインの長さは同じでなければならず、負荷は同じ値である必要があります。図 9 は、2 つのライン上の負荷容量が異なる場合の影響を示しており、図 10 は伝送ラインの長さが異なる場合の影響を示しています。

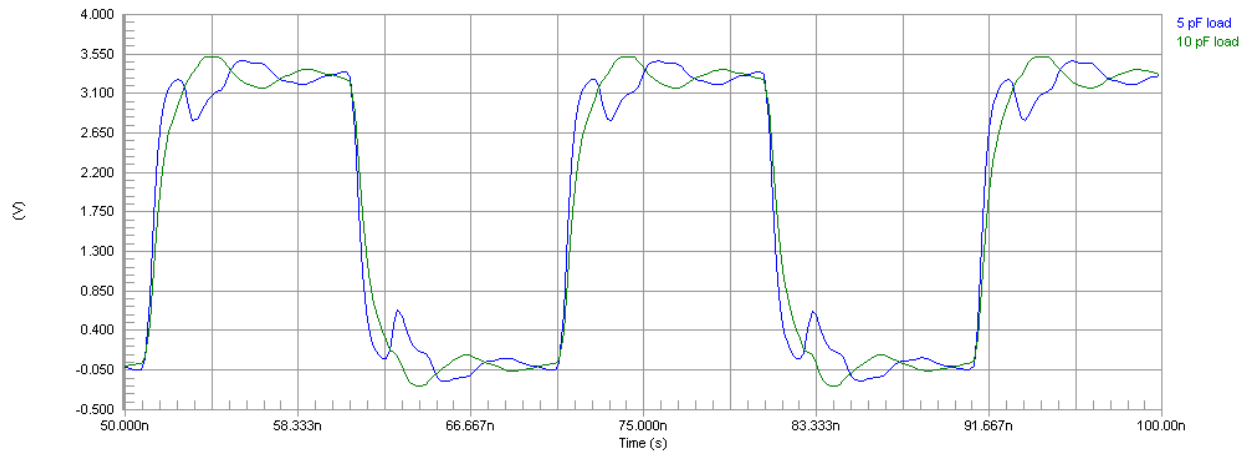


Figure 9: Altium Designer simulation waveform (at both loads) for SiT8208 driving two 5-in. transmission lines when the capacitance at the two loads is not balanced. Trace impedance – 60 Ω , supply voltage – 3.3 V, $R_s = 15 \Omega$, $C_{L1} = 5 \text{ pF}$, $C_{L2} = 10 \text{ pF}$.

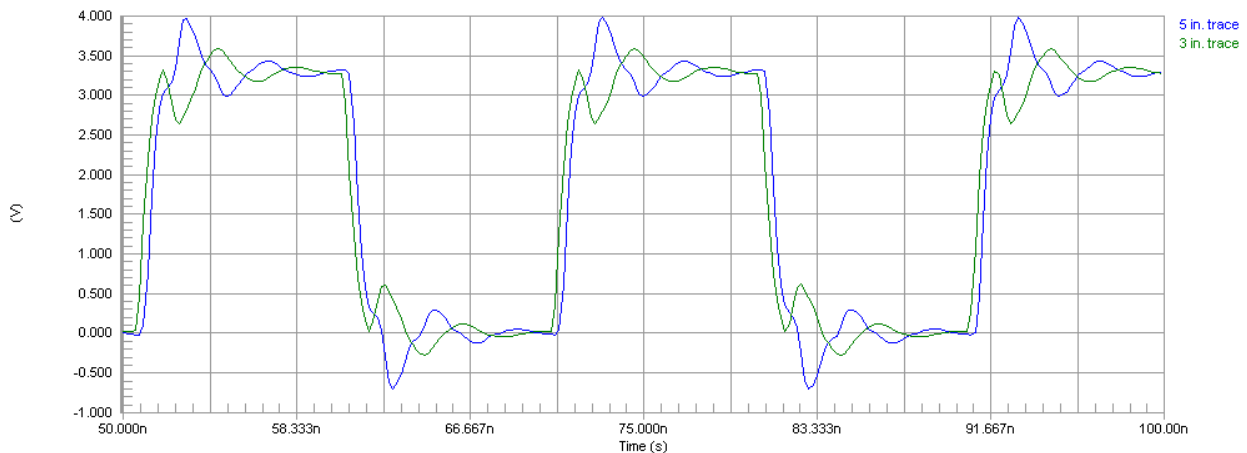


Figure 10: Altium Designer simulation waveform (at both loads) for SiT8208 driving two transmission lines of different length. Trace impedance – 60 Ω , supply voltage – 3.3 V, $R_s = 15 \Omega$, $C_L = 5 \text{ pF}$.

3.2.3 スター型トポロジーで、2 つの負荷を駆動する場合

二つの伝送ラインを駆動するのに、ソースの駆動能力が十分強くない場合には、スター型トポロジーの適用を検討して下さい(図 11)。このトポロジーでは、図中 R_t の抵抗を中間の終端として使用します。通常 R_t の抵抗値は伝送ラインのインピーダンスの $1/3$ の値になるようにします。

これによって 3 つの R_t で構成されるスター接続のインピーダンスは $Z_o/2$ となり、並列接続した 2 本の Z_o インピーダンスの伝送ラインは $Z_o/2$ インピーダンスとなるので、A 点(図 11)からみた負荷のイン

ピーダンスは Z_0 となります。この結果、A 点から見たソース側、また負荷側のインピーダンスが Z_0 で等しくなり、インピーダンスが整合されるため、A 点での反射を避けることができます。

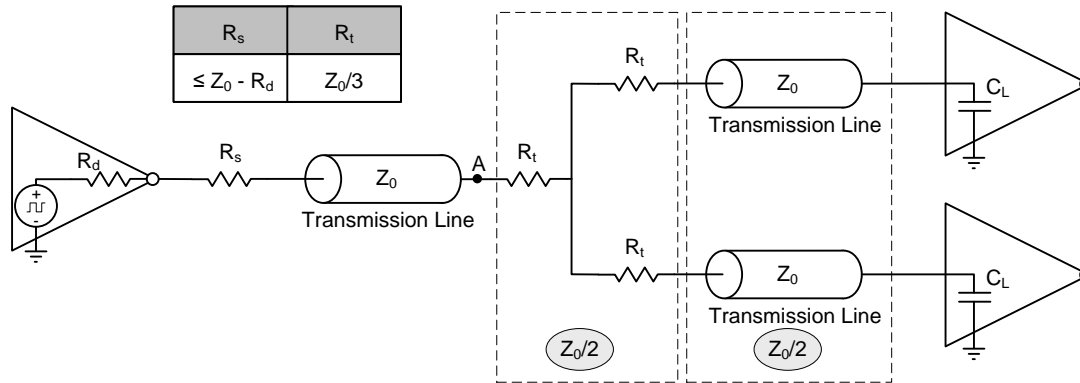


Figure 11: Star topology for driving two loads

スター型トポロジーでは通常、負荷側に終端抵抗を配置します。この場合、ソースドライバからの信号は中間終端によって分岐点で反射し返すことなくこれを通過し、負荷に到達した信号は負荷側の終端により再度ソース側に反射し返すことはありません。これにより、荷側では反射のない良好な信号品質となりますが、非常に低振幅であり、多くのクロックレシーバには許容されない信号になります。

もし、負荷側の終端がなく、負荷が高インピーダンスであれば、すべての信号エネルギーがソースに反射し返すこととなります。 R_t のネットワークにより中間点ではインピーダンスは整合されていますが、二つの反射した信号がここで結合されます。この場合、反射と結合のバランスを取り許容可能なシグナル・インテグリティを実現することが非常に難しくなります。

負荷側の終端がなく、かつ伝送ラインの長さが信号エッジの実効長の 3 分の 1 よりも長い場合、このスター型トポロジーは推奨されません（式 1 を参照）。例えば、1 ns の信号エッジの実効長では、伝送ラインの長さが 2 インチを超えてはなりません。

SiTime としては、シグナル・インテグリティの問題がないことを確認するために、typical およびコーナーケースにて、IBIS モデルを使用してシステムをシミュレートすることを推奨します。図 12 は、2 インチのトレース長のスター型トポロジーを、コーナーケースでシミュレーションしたものです。

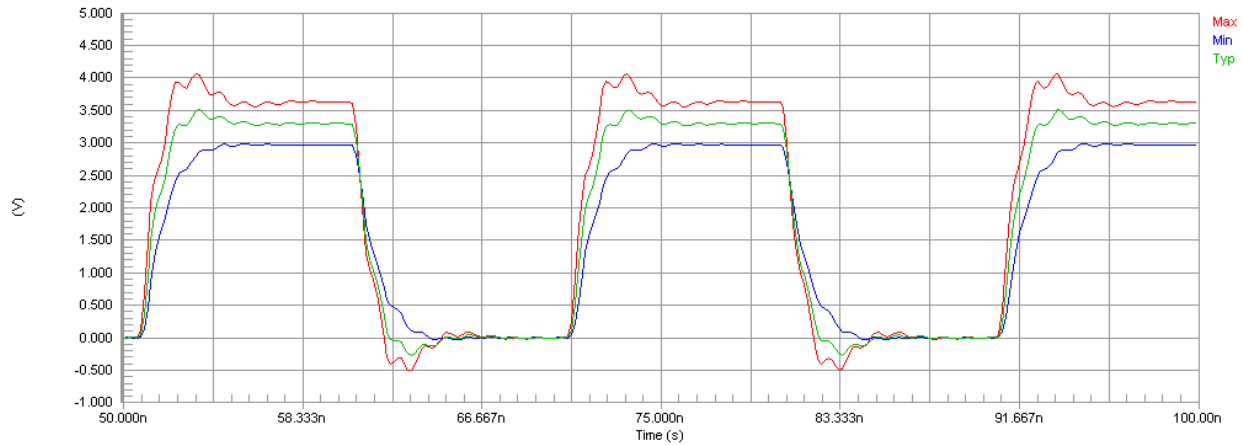


Figure 12: Altium Designer simulation waveforms (at the load side) across corners (temperature, supply voltage and process) for SiT8208 driving two transmission lines using star topology (Figure 11). Trace impedance – 60 Ω , trace segment length – 2 in., nominal supply voltage – 3.3 V, $R_s = 10 \Omega$, $R_t = 10 \Omega$, $C_L = 5 \text{ pF}$.

図 13 と図 14 は、 R_t と R_s のよる波形への影響を示しています。

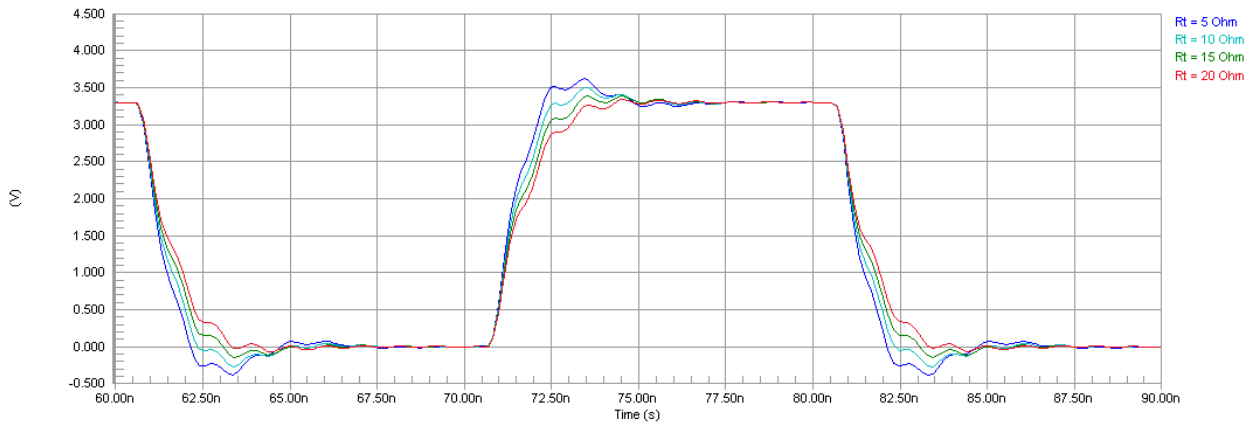


Figure 13: Altium Designer simulation waveforms (at the load side) for range of R_t values for SiT8208 driving two transmission lines using star topology (Figure 11). Trace impedance – 60 Ω , trace segment length – 2 in., supply voltage – 3.3 V, $R_s = 10 \Omega$, $C_L = 5 \text{ pF}$.

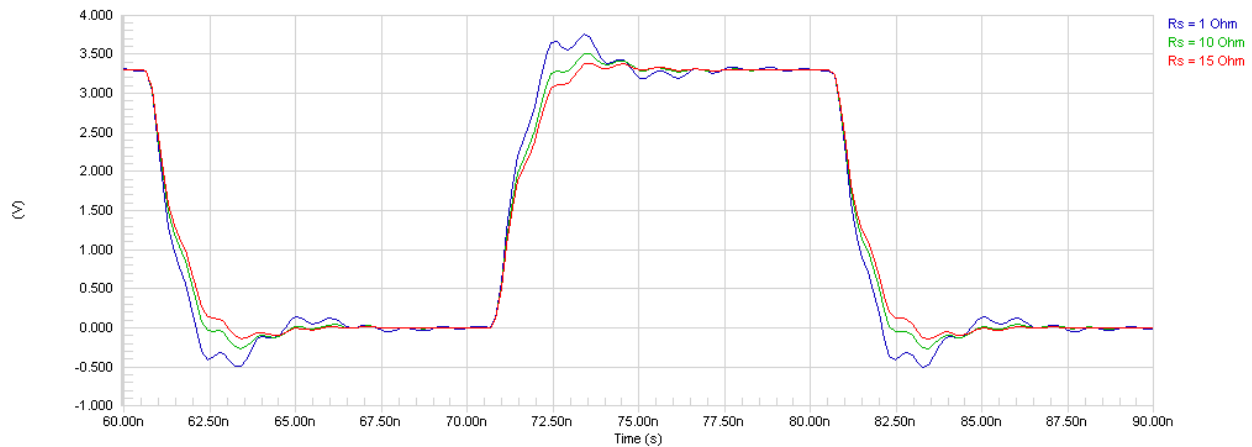


Figure 14: Altium Designer simulation waveforms (at the load side) for range of R_s values for SiT8208 driving two transmission lines using star topology (Figure 11). Trace impedance – 60 Ω , trace segment length – 2 in., supply voltage – 3.3 V, $R_t = 10 \Omega$, $C_L = 5 \text{ pF}$.

もし、長めのトレースが必要で、信号の立ち上がり/立ち下がり時間が増えることが問題でなければ、 R_s と伝送ラインの間にコンデンサ (C_s) を追加することを検討して下さい。これにより、 $(R_s + R_d) \cdot C_s$ の時定数をもつローパス RC フィルタを作ることができます。

図 15 は、トレース長が 5 インチのスタートレース型トポロジーに 15 pF のコンデンサを使用した場合のシミュレーション結果を示しています。

注意点として、図 15 の立ち上がりと立ち下がりエッジの形状がジッタに敏感なアプリケーションには適していないことを留意して下さい。

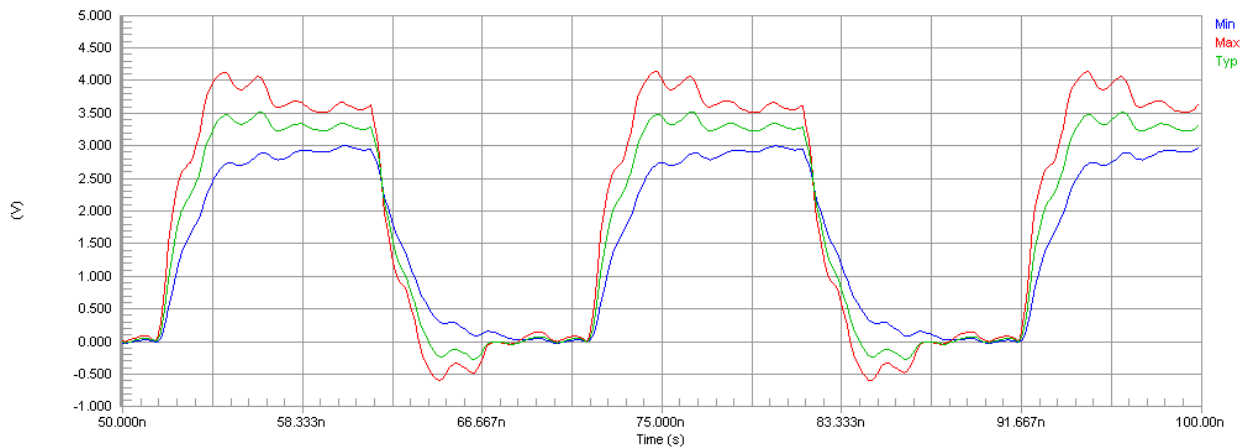


Figure 15: Altium Designer simulation waveforms (at the load side) across process corners for SiT8208 driving two transmission lines using star topology (Figure 11). Additional 15 pF capacitor at the source used to slow down signal edges. Trace impedance – 60 Ω , trace segment length – 5 in., supply voltage – 3.3 V, $R_t = 10 \Omega$, $C_L = 5 \text{ pF}$.

3.3 ソース終端を使用する場合のロー・パス・フィルタ効果

信号ソースはソース終端と共に伝送ラインを駆動し、伝送ライン内にエッジを送り込んでいます。伝送ラインの端部に有る負荷からは、エッジを生成したドライバーではなくエッジを配送する伝送ラインが見えています。far-end の負荷にとって伝送ラインはドライバとして機能するので、負荷から見た駆動インピーダンスはラインインピーダンスは等しくなっています。

通常の IC のクロック入力の負荷は概ね容量性です。駆動インピーダンスは負荷インピーダンスと共に単純な RC フィルタのようなロー・パス・フィルタを形成しています。このようなフィルタのカットオフ周波数は $Z_0 C_L$ です。50Ω の伝送ラインの場合は、コーナー周波数が 637 MHz のロー・パス・フィルタが形成されます。

ほとんどのアプリケーションにおいて、このフィルタのコーナー周波数は十分に高く、信号の劣化を引き起こしません。しかし、コーナー周波数がクロックの動作範囲を上回るよう、ユーザーは負荷容量を常に注視するべきです。

4 参考資料

- [1] Howard W. Johnson, Martin Graham. High-speed digital design: a handbook of black magic. Upper Saddle River, New Jersey: Prentice Hall PTR, 1993
- [2] SiTime Corporation. SiT8208 Ultra Performance Oscillator datasheet, Rev 1.02, 2013 (<http://www.sitime.com/products/datasheets/sit8208/SiT8208-datasheet.pdf>)

付録 A: Signal edge propagation in a series terminated transmission line

直列終端は、クロック信号を終端する経済的な方法です。直列終端は単純で、安価で、低消費電力で、かつボード・スペースが小さくて済み、トレース端部に集中配置した負荷を駆動するのに適しています。しかし、トレースに沿って分散配置した負荷を駆動するためには使用することができません。

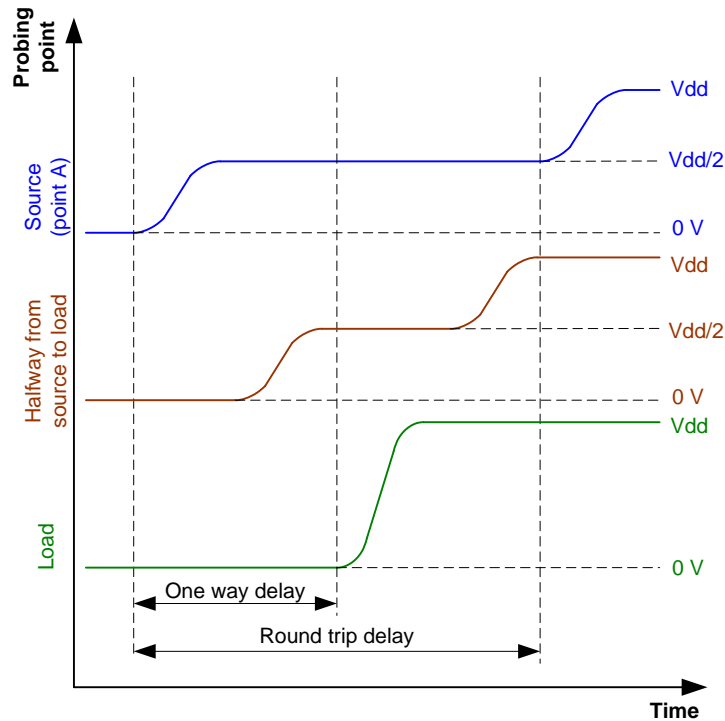


Figure 16: Signal formation at different points of the transmission line

図 1 の A 点にて、負荷に向かって移動している信号の立ち上がりエッジがフルスイング電圧の丁度半分に到達します。負荷側のインピーダンスが高いため、信号の全エネルギーがソースに向かって反射し返り、往復遅延（信号が負荷に伝播してソースに戻るのに必要とされる時間）の後に A 点の信号がフルスイング電圧に到達します。このようなシグナル・インテグリティの問題は負荷端部以外のトレースのすべてのポイントに存在します（図 16 参照）。

付録 B: Reflection coefficients

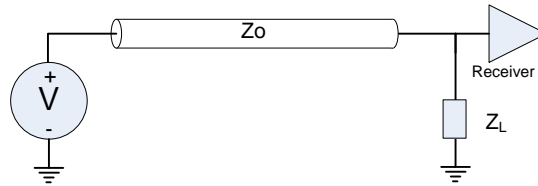


Figure 17: Transmission line parallel load termination

図 17 は、 Z_L の並列負荷インピーダンスで終端し、電圧ソース信号で駆動する伝送ラインを示しています。信号が負荷に達すると、そのエネルギーの一部は負荷によって吸収され、残りはソースに反射し返します。入射信号に対する反射信号の比は、反射係数と呼ばれ、以下のように計算されます。

$$\Gamma_L = \frac{Z_L - Z_o}{Z_L + Z_o} \quad \text{式 4}$$

負荷がトレースと同じインピーダンスで終端されている場合、すなわち $Z_L = Z_o$ の場合、式 4 の結果は 0 となり、反射信号がないことを意味しています。負荷のインピーダンスがトレースのそれと整合しない場合は、信号の一部がソースに反射し返します。反射信号の一部は、一旦ソースに到達すると、以下のように計算されるソースの反射係数に応じて、再び負荷に跳ね返ってくるようになります。

$$\Gamma_S = \frac{Z_S - Z_o}{Z_S + Z_o} \quad \text{式 5}$$

負荷側で見られる全体的な反射は、伝送ライン上を往復する反射の結果であり、式 6 の往復反射係数を用いて計算されます。

$$\Gamma_{RT} = \Gamma_L \cdot \Gamma_S \quad \text{式 6}$$

反射係数が大きいと、レシーバ入力にて信号マージンの低減や過度のリングング、また余分なトリガーエッジを引き起こす可能性があります。したがって、レシーバ側で最適なシグナルインテグリティを得るために往復反射は最小限に抑えるべきです。

付録 C: Output impedances of SiTime parts for different drive strength options

Table 1: Output impedance (SiT8208/9, SiT3807/8/9, SiT3907)

Drive Strength Setting	Transmission line impedance					
	Zo = 50 Ohm			Zo = 60 Ohm		
	1.8V	2.5V	3.3V	1.8V	2.5V	3.3V
L	NA	NA	NA	NA	NA	NA
A	NA	NA	NA	NA	NA	NA
R	NA	NA	NA	NA	NA	NA
B	NA	NA	NA	NA	NA	NA
S	NA	NA	NA	NA	NA	NA
D	NA	NA	35.3	NA	NA	30.5
T	NA	NA	26.2	NA	NA	24.0
E	NA	NA	21.4	NA	NA	20.1
U	NA	NA	18.2	NA	NA	17.3
F	NA	NA	15.8	NA	NA	15.3
W	NA	NA	14.2	NA	NA	13.7
G	27.7	15.7	12.8	24.0	15.2	12.4
X	23.6	14.2	11.6	21.1	15.0	11.3
K	20.5	13.0	10.7	19.0	12.6	10.4
Y	18.4	11.9	9.9	17.4	11.6	9.6
Q	16.7	11.1	9.2	16.0	10.8	9.1
Z	15.5	10.4	8.6	14.9	10.2	8.4
M	14.4	9.7	8.1	13.8	9.5	7.9
N	13.3	9.1	7.6	12.9	9.0	7.5
P	12.6	8.6	7.2	12.2	8.5	7.1

NA – these settings are not recommended for driving long transmission lines

Table 2: Output impedance (SiT1602, SiT8008, SiT8009, SiT1618, SiT8918, SiT8919, SiT8920, SiT8921, SiT9201, SiT2002, SiT2018, SiT2019, SiT2020, SiT2021)

Drive Strength Setting	Transmission line impedance					
	Zo = 50 Ohm			Zo = 60 Ohm		
	1.8V	2.5V	3.3V	1.8V	2.5V	3.3V
L	NA	NA	NA	NA	NA	NA
A	NA	NA	NA	NA	NA	NA
R	NA	NA	NA	NA	NA	NA
B	NA	NA	NA	NA	NA	NA
T	NA	NA	27.8	NA	NA	24.8
E	NA	NA	22.2	NA	28.4	20.6
U	NA	24.8	18.8	NA	23.7	17.8
F	40*	21.2	16.4	35*	20.4	15.6

NA – settings are not recommended for driving long transmission lines

* - board level simulation using SiTime provided IBIS models is highly recommended to ensure acceptable signal integrity

SiTime Corporation
 990 Almanor Avenue
 Sunnyvale, CA 94085
 USA
 Phone: 408-328-4400
<http://www.sitime.com>

© SiTime Corporation, 2008-2014. The information contained herein is subject to change at any time without notice. SiTime assumes no responsibility or liability for any loss, damage or defect of a Product which is caused in whole or in part by (i) use of any circuitry other than circuitry embodied in a SiTime product, (ii) misuse or abuse including static discharge, neglect or accident, (iii) unauthorized modification or repairs which have been soldered or altered during assembly and are not capable of being tested by SiTime under its normal test conditions, or (iv) improper installation, storage, handling, warehousing or transportation, or (v) being subjected to unusual physical, thermal, or electrical stress.

Disclaimer: SiTime makes no warranty of any kind, express or implied, with regard to this material, and specifically disclaims any and all express or implied warranties, either in fact or by operation of law, statutory or otherwise, including the implied warranties of merchantability and fitness for use or a particular purpose, and any implied warranty arising from course of dealing or usage of trade, as well as any common-law duties relating to accuracy or lack of negligence, with respect to this material, any SiTime product and any product documentation. Products sold by SiTime are not suitable or intended to be used in a life support application or component, to operate nuclear facilities, or in other mission critical applications where human life may be involved or at stake.